

修士学位論文

バレーフィルスナバの開発と パワーコンバータへの応用

指導教授 清水 敏久 教授

平成 30 年 2 月 16 日 提出

首都大学東京大学院

理工学研究科 電気電子工学 専攻

学修番号 16882314

氏 名 城内 悠輔

学位論文要旨（修士（工学））

論文著者名 城内 悠輔

論文題名：バレーフィルスナバの開発とパワーコンバータへの応用

本文

近年、再生可能エネルギーなどの普及や電力エネルギーの高効率利用の社会的背景に基づいて、半導体電力変換装置の用途が拡大すると共に、更なる高効率化や高電力密度化が求められている。現在、電力変換装置に用いられる電力用パワーデバイスとしては Si デバイスが広く利用されているが、次世代パワーデバイスとして SiC や GaN などのデバイスの導入も進められている。SiC デバイスは、Si デバイスと比べて、低オン電圧と高速スイッチングが可能であることから半導体電力変換装置の高電力密度化が期待されている。しかし、スイッチング速度が高速であるためにスイッチング時に過大なサージ電圧が発生することに加えて EMI ノイズの増加につながる。特に中・大容量の電力変換装置では、大形のパワーモジュールを使用する必要があるが、直流電源とパワーデバイスの間の配線インダクタンスが十分に低減できず、上記の問題の解決が困難になる。一方、Si デバイスは、SiC デバイスと比較して製造コストが低いため、多くの半導体電力変換装置において今後も使用されるものと考えられる。Si デバイスは、次世代パワーデバイスと比較してスイッチング速度が遅く、またターンオフ時にテール電流が発生するため、スイッチング損失の増加が課題となる。これらの問題に対して、従来は直流バスのコンデンサとパワーモジュール間の配線にラミネートバスバーを使用することやパワーモジュールの P-N 端子間に RCD スナバ回路等を接続していた。しかしこれらの方法では SiC デバイスの高速スイッチング動作への対応、あるいは Si デバイスのスイッチング損失の低減には限界がある。

そこで本研究では、従来法のラミネートバスバーや RCD スナバ回路を用いる方法に代わる新しいスナバ回路の開発を行う。これは、従来デバイスの Si や次世代デバイスの SiC を用いた場合においても効果的となるように設計する。ま

ず、既存の整流平滑回路に使用されてきたバレーフィル回路の充放電特性を応用した新しいスナバ回路(バレーフィルスナバ)が提案回路である。提案回路では、効率的にサージ電圧を抑制できることが可能であるか確認し、回路設計を行った。その後、SiC-MOSFET パワーモジュールおよび Si-IGBT パワーモジュールを使用し、出力電力 4 kVA の三相 PWM インバータ回路で実機検証し、サージ電圧を抑制するハードスイッチング型バレーフィルスナバの開発とパワーコンバータへの応用を行った。この方式は、サージ電圧の抑制は可能であるが EMI ノイズやスイッチング損失の低減が困難である。そこで低減ためにソフトスイッチング方式を採用し、ソフトスイッチング型バレーフィルスナバに拡張した。ソフトスイッチング方式は、サージ電圧の抑制に加えて EMI ノイズとスイッチング損失の低減が可能であるが、大形のパワーモジュールの持つ寄生キャパシタの影響で低減効果が下がってしまうことからさらなる改良が必要である。これらを踏まえてソフトスイッチング改良型バレーフィルスナバを開発し、サージ電圧の抑制、EMI ノイズとスイッチング損失の低減およびスナバ方式の違いによる電力変換効率を比較し、検証を行い、提案法の有用性を示した。

目次

| | | |
|-------|-------------------------------|----|
| 第1章 | 序論 | 1 |
| 1.1 | 研究背景..... | 1 |
| 1.2 | 研究目的..... | 3 |
| 1.3 | 論文構成..... | 4 |
| 第2章 | パワーエレクトロニクス機器におけるスナバ回路..... | 6 |
| 2.1 | スナバ回路の必要性と機能 | 6 |
| 2.2 | スナバの種類..... | 9 |
| 2.2.1 | 電圧クランプスナバ | 9 |
| 2.2.2 | ターンオフスナバ..... | 10 |
| 2.2.3 | ターンオンスナバ..... | 13 |
| 2.3 | バレーフィル回路..... | 15 |
| 2.4 | バレーフィルスナバ | 18 |
| 2.5 | まとめ | 20 |
| 第3章 | ハードスイッチング型バレーフィルスナバの回路構成..... | 21 |
| 3.1 | ハードスイッチング型バレーフィルスナバの原理 | 21 |
| 3.2 | 回路素子の役割と設計..... | 26 |
| 3.2.1 | インダクタとキャパシタとダイオードの役割..... | 27 |
| 3.2.2 | スイッチングデバイスの設計 | 29 |
| 3.2.3 | 駆動回路..... | 29 |
| 3.2.4 | LC フィルタの設計 | 29 |
| 3.2.5 | 負荷回路の設計 | 31 |
| 3.3 | シミュレーションによる評価 | 31 |
| 3.3.1 | シミュレーション条件..... | 31 |
| 3.3.2 | シミュレーション結果..... | 33 |
| 3.4 | 実験装置の製作 | 50 |

| | | |
|-------|----------------------------------|-----|
| 3.4.1 | 装置構成 | 51 |
| 3.4.2 | 駆動回路構成 | 54 |
| 3.4.3 | 熱設計とヒートシンクの選定 | 56 |
| 3.4.4 | 基板製作 | 60 |
| 3.5 | 実験による評価 | 61 |
| 3.5.1 | 実験条件 | 62 |
| 3.5.2 | 実験結果 | 63 |
| 3.6 | ハードスイッチング型バレーフィルスナバの課題 | 69 |
| 3.7 | まとめ | 69 |
| 第4章 | ソフトスイッチング型バレーフィルスナバの回路構成 | 71 |
| 4.1 | ソフトスイッチング型バレーフィルスナバの動作原理 | 71 |
| 4.2 | ソフトスイッチング用素子の役割と設計 | 78 |
| 4.3 | シミュレーションによる評価 | 80 |
| 4.3.1 | シミュレーション条件 | 80 |
| 4.3.2 | シミュレーション結果 | 82 |
| 4.4 | 実験装置の製作 | 85 |
| 4.4.1 | 装置構成 | 86 |
| 4.4.2 | 基板製作 | 89 |
| 4.5 | 実験による評価 | 90 |
| 4.5.1 | 実験条件 | 90 |
| 4.5.2 | 実験結果 | 92 |
| 4.6 | ソフトスイッチング型バレーフィルスナバの課題 | 97 |
| 4.7 | まとめ | 98 |
| 第5章 | ソフトスイッチング改良型バレーフィルスナバの回路構成 | 99 |
| 5.1 | ソフトスイッチング改良型バレーフィルスナバの動作原理 | 99 |
| 5.2 | 改良型にともなうインダクタ構造の役割と設計 | 100 |
| 5.3 | シミュレーションによる評価 | 102 |

| | | |
|-------|------------------------|-----|
| 5.3.1 | シミュレーション条件..... | 102 |
| 5.3.2 | シミュレーション結果..... | 104 |
| 5.4 | 実験基板の製作..... | 105 |
| 5.4.1 | 装置構成..... | 106 |
| 5.4.2 | 基板製作..... | 109 |
| 5.5 | 実験による評価..... | 110 |
| 5.5.1 | 実験条件..... | 110 |
| 5.5.2 | 実験結果..... | 111 |
| 5.6 | まとめ..... | 113 |
| 第 6 章 | スナバ性能の比較..... | 115 |
| 6.1 | サージ電圧抑制..... | 115 |
| 6.2 | 電力変換効率..... | 116 |
| 6.3 | まとめ..... | 117 |
| 第 7 章 | 今後の課題および総論..... | 119 |
| 7.1 | 今後の課題..... | 119 |
| 7.2 | 総論..... | 119 |
| 参考文献 | | 121 |
| 発表論文 | | 123 |
| 謝辞 | | 124 |
| 付録 A | 三相 PWM ゲート信号プログラム..... | 1 |
| 付録 B | スイッチング損失計算プログラム..... | 4 |

| | | |
|--------|--|----|
| 図 1.1 | 再生可能エネルギーによる発電電力量の予測 | 2 |
| 図 1.2 | 電気料金の推移 | 2 |
| 図 1.3 | パワー半導体の世界市場規模推移と予測 | 3 |
| 図 2.1 | 配線インダクタンスを考慮した降圧チョッパ回路 | 8 |
| 図 2.2 | スイッチング波形とスイッチング軌跡 | 8 |
| 図 2.3 | 電圧クランプとターンオフ・オンスナバ回路 | 9 |
| 図 2.4 | 降圧チョッパ回路に適用した電圧クランプスナバ | 10 |
| 図 2.5 | ターンオフスナバ | 10 |
| 図 2.6 | 降圧チョッパ回路に適用した RC スナバ | 11 |
| 図 2.7 | 降圧チョッパ回路に適用した RC スナバ回路の充電・放電動作 | 11 |
| 図 2.8 | 降圧チョッパ回路に適用した RCD スナバ | 12 |
| 図 2.9 | 降圧チョッパ回路に適用した RCD スナバ回路の充電・放電動作 | 12 |
| 図 2.10 | 降圧チョッパ回路に適用したターンオンスナバ | 13 |
| 図 2.11 | ターンオンスナバ回路の充電・放電動作 | 14 |
| 図 2.12 | バレーフィル回路 | 15 |
| 図 2.13 | バレーフィル回路における Mode I の動作 | 15 |
| 図 2.14 | バレーフィル回路における Mode II の動作 | 16 |
| 図 2.15 | バレーフィル回路における Mode III の動作 | 16 |
| 図 2.16 | バレーフィル回路における Mode IV の動作 | 16 |
| 図 2.17 | バレーフィル回路の動作波形 | 17 |
| 図 2.18 | 降圧チョッパ回路に適用したハードスイッチング型 バレーフィルス ナバ | 18 |
| 図 2.19 | ハードスイッチング型バレーフィルスナバ回路の充電時動作 | 19 |
| 図 2.20 | ハードスイッチング型バレーフィルスナバ回路の放電時動作 | 19 |
| 図 3.1 | ハードスイッチング型バレーフィルスナバの動作波形 | 22 |
| 図 3.2 | ハードスイッチング型バレーフィルスナバにおける Mode I の動作 . | 22 |
| 図 3.3 | ハードスイッチング型バレーフィルスナバにおける Mode II の動作 | 23 |
| 図 3.4 | ハードスイッチング型バレーフィルスナバにおける Mode III の動作 | 23 |
| 図 3.5 | ハードスイッチング型バレーフィルスナバにおける Mode IV の動作 | 23 |
| 図 3.6 | ハードスイッチング型バレーフィルスナバの構成 | 26 |
| 図 3.7 | pn 接合ダイオードとショットキーバリアダイオードの特性比較 | 28 |
| 図 3.8 | LC フィルタのゲイン特性 | 30 |
| 図 3.9 | LC フィルタの位相特性 | 30 |
| 図 3.10 | ハードスイッチング型バレーフィルスナバシミュレーション回路 . | 32 |
| 図 3.11 | ハードスイッチング型バレーフィルスナバにおけるキャパシタ電圧 のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$) | 34 |

| | | |
|--------|--|----|
| 図 3.12 | ハードスイッチング型バレーフィルにおけるキャパシタ電圧のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)..... | 35 |
| 図 3.13 | ハードスイッチング型バレーフィルスナバの動作モード($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)..... | 37 |
| 図 3.14 | ハードスイッチング型バレーフィルにおける各レグの合成キャパシタンス($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)..... | 38 |
| 図 3.15 | ハードスイッチング型バレーフィルにおける pn 間電圧、各ダイオード順方向電圧、各ダイオード順方向電流波形($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$) | 39 |
| 図 3.16 | ハードスイッチング型バレーフィルにおけるキャパシタ電圧のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)..... | 41 |
| 図 3.17 | ハードスイッチング型バレーフィルにおけるキャパシタ電圧のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)..... | 42 |
| 図 3.18 | ハードスイッチング型バレーフィルスナバの動作モード($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)..... | 44 |
| 図 3.19 | ハードスイッチング型バレーフィルにおける各レグの合成キャパシタンスと電荷量($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)..... | 45 |
| 図 3.20 | ハードスイッチング型バレーフィルにおける pn 間電圧、各ダイオード順方向電圧、各ダイオード順方向電流波形($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$) | 46 |
| 図 3.21 | ハードスイッチング型バレーフィルにおける直流バスと ドレインソース電圧のシミュレーション結果..... | 48 |
| 図 3.22 | ハードスイッチング型バレーフィルにおける入力・出力電流のシミュレーション結果 | 48 |
| 図 3.23 | ハードスイッチング型バレーフィルにおけるスイッチング素子 S に関するスイッチング波形 | 49 |
| 図 3.24 | スイッチング素子 S のスイッチング時拡大波形 | 50 |
| 図 3.25 | ハードスイッチング型バレーフィルスナバの回路図 | 51 |
| 図 3.26 | SiC Half-Bridge (CAS120M12BM2)の内部回路図..... | 54 |
| 図 3.27 | SiC Half-Bridge (CAS120M12BM2)の実物写真..... | 54 |
| 図 3.28 | SiC MOSFET Driver(CGD15HB62P1)のブロック図..... | 55 |
| 図 3.29 | SiC MOSFET Driver(CGD15HB62P1)の実物写真 | 55 |
| 図 3.30 | SiC-MOSFE に関する電流方向..... | 56 |
| 図 3.31 | PWM インバータの電流波形 | 57 |
| 図 3.32 | ハードスイッチング型バレーフィルスナバ回路の PCB レイアウト | 61 |
| 図 3.33 | ハードスイッチング型バレーフィルスナバの実機回路写真..... | 61 |
| 図 3.34 | ハードスイッチング型バレーフィルスナバの実験回路 | 62 |
| 図 3.35 | ゲート電圧の実測結果..... | 63 |

| | | |
|--------|--|----|
| 図 3.36 | キャパシタ電圧の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)..... | 64 |
| 図 3.37 | ハードスイッチング型バレーフィルにおける直流バスとドレイン-ソース電圧の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$) | 65 |
| 図 3.38 | ハードスイッチング型バレーフィルにおける入力・出力電流の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$) | 65 |
| 図 3.39 | ハードスイッチング型バレーフィルにおける直流バス電圧のシミュレーションと実験検証の比較($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$) | 66 |
| 図 3.40 | 動作波形に影響を与える配線インダクタンス部分 | 67 |
| 図 3.41 | ハードスイッチング型バレーフィルにおけるスイッチング素子 S に関するスイッチング波形の実験結果..... | 68 |
| 図 3.42 | スイッチング素子 S のスイッチング時拡大波形 | 68 |
| 図 4.1 | ソフトスイッチング型バレーフィルスナバ | 72 |
| 図 4.2 | ソフトスイッチング型バレーフィルスナバの動作波形..... | 72 |
| 図 4.3 | ソフトスイッチング型バレーフィルスナバにおける Mode I の動作 . | 73 |
| 図 4.4 | ソフトスイッチング型バレーフィルスナバにおける Mode II の動作 | 73 |
| 図 4.5 | ソフトスイッチング型バレーフィルスナバにおける Mode III の動作 | 73 |
| 図 4.6 | ソフトスイッチング型バレーフィルスナバにおける Mode IV の動作 | 74 |
| 図 4.7 | ソフトスイッチング型バレーフィルスナバにおける Mode V の動作 | 74 |
| 図 4.8 | ソフトスイッチング型バレーフィルスナバにおける Mode VI の動作 | 74 |
| 図 4.9 | ソフトスイッチング型バレーフィルスナバにおける Mode VII の動作 | 75 |
| 図 4.10 | ソフトスイッチング型バレーフィルスナバにおける Mode VIII の動作 | 75 |
| 図 4.11 | ソフトスイッチング型バレーフィルスナバの構成 | 78 |
| 図 4.12 | ソフトスイッチング型バレーフィルスナバにおける シミュレーション回路 | 81 |
| 図 4.13 | ソフトスイッチング型バレーフィルスナバにおける直流バスと ドレイン-ソース電圧のシミュレーション結果 | 83 |
| 図 4.14 | ソフトスイッチングキャパシタの値によるスイッチング波形の比較 | 84 |
| 図 4.15 | ソフトスイッチングキャパシタの値によるターンオフ時拡大波形の比較..... | 84 |
| 図 4.16 | ソフトスイッチングキャパシタの値によるターンオン時拡大波形の比較..... | 85 |
| 図 4.17 | ソフトスイッチング型バレーフィルスナバの回路図 | 86 |
| 図 4.18 | ソフトスイッチング型バレーフィルスナバ回路の PCB レイアウト | 89 |

| | | |
|--------|--|-----|
| 図 4.19 | ソフトスイッチング型バレーフィルスナバの実機回路写真..... | 90 |
| 図 4.20 | ソフトスイッチング型バレーフィルスナバの実験回路..... | 91 |
| 図 4.21 | ソフトスイッチング型バレーフィルスナバにおける直流バスと ドレイン-ソース電圧の実験結果(C_u , C_v , $C_w=1\text{ nF}$)..... | 92 |
| 図 4.22 | ソフトスイッチングキャパシタの値によるスイッチング波形の比較..... | 93 |
| 図 4.23 | ソフトスイッチングキャパシタの値によるターンオフ時拡大波形..... | 94 |
| 図 4.24 | EMI ノイズ測定回路構成 | 95 |
| 図 4.25 | 電圧増加率 dV/dt の傾きによる EMI ノイズの比較 | 95 |
| 図 4.26 | ソフトスイッチングキャパシタの値によるターンオン時拡大波形..... | 96 |
| 図 4.27 | ソフトスイッチング型バレーフィルスナバにおける 不完全 ZCS 時の電流経路 | 97 |
| 図 5.1 | ソフトスイッチング改良型バレーフィルスナバ | 100 |
| 図 5.2 | ソフトスイッチング改良型バレーフィルスナバの構成..... | 100 |
| 図 5.3 | ソフトスイッチング改良型バレーフィルスナバにおける シミュレーション回路..... | 103 |
| 図 5.4 | ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング波形..... | 104 |
| 図 5.5 | ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング時拡大波形..... | 105 |
| 図 5.6 | ソフトスイッチング改良型バレーフィルスナバの回路図 | 106 |
| 図 5.7 | ソフトスイッチング改良型バレーフィルスナバ回路の PCB レイアウト | 109 |
| 図 5.8 | ソフトスイッチング改良型バレーフィルスナバの実機回路写真 | 109 |
| 図 5.9 | ソフトスイッチング改良型バレーフィルスナバの実験回路 | 110 |
| 図 5.10 | ソフトスイッチング改良型バレーフィルスナバにおける スイッチング波形..... | 111 |
| 図 5.11 | ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング時拡大波形 | 112 |
| 図 5.12 | ソフトスイッチング改良型バレーフィルスナバ による ZCS 時の電流経路..... | 113 |
| 図 6.1 | 提案したバレーフィルスナバの種類における電圧クランプの比較..... | 115 |

第1章 序論

1.1 研究背景

現在の日本のエネルギー問題としてエネルギー自給率の低さ、環境問題、燃料輸入の安定性などが課題となっている。そのエネルギー問題の解決法の一つとして、再生可能エネルギーの導入が試みられている。これは燃料を必要としないため、燃料枯渇や環境汚染の心配もなく、エネルギー安全保障の強化や低炭素社会づくりの実現の観点からも重要である。また、国内のエネルギー自給率も上昇させることが出来る。環境省の再生可能エネルギーによる発電電力量の予測では、今後再生可能エネルギーによる発電量は年々増加し、2030年には全体の33%を再生可能エネルギーが占めるという予測となっている[1]。

図 1.1 を見ると風力発電や太陽光発電は再生可能エネルギーによる発電の中でも多くの割合を占めている。太陽光発電においては、エネルギー源は太陽光であるため、基本的には設置する地域に制限がないことや機器のメンテナンスがほとんど必要ない事からこの20年の間に150万件以上の住宅で導入されている[2]。太陽光発電をはじめとする再生可能エネルギーによる発電は、直流であるため、家庭などで使用するためには交流に変換するパワーエレクトロニクス変換器(インバータ)が必要となる。現在、インバータの効率は一般的に95%と言われている。ロスはずか5%であるが再生可能エネルギーによる発電の普及により数が増えていくことを想定すると大きな損失となってしまう。図 1.1 に示す2020年度の太陽光による発電量は約50万 GWh であり、電力変換効率が95%のインバータによって電力変換されたと仮定すると約2.5万 GWhのエネルギー量が損失となっていることになる。図 1.2 に示す2016年4月から2017年9月までの電気の種類ごとに分けられた電気料金の推移を表したグラフより、この期間の電気料金は平均値から18円/kWhとすると電力変換効率が1%向上するごとに約90億円に相当する。

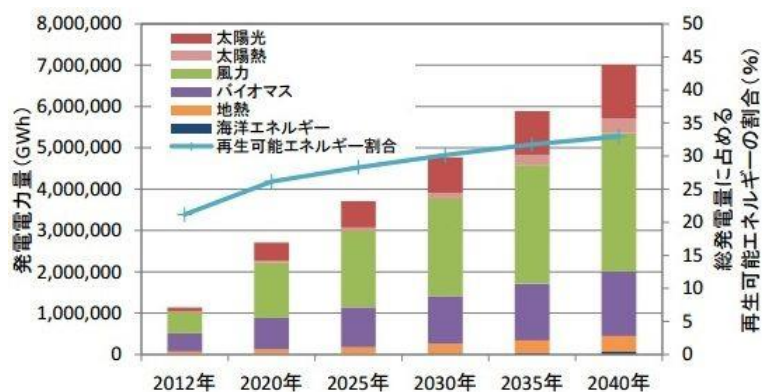


図 1.1 再生可能エネルギーによる発電電力量の予測

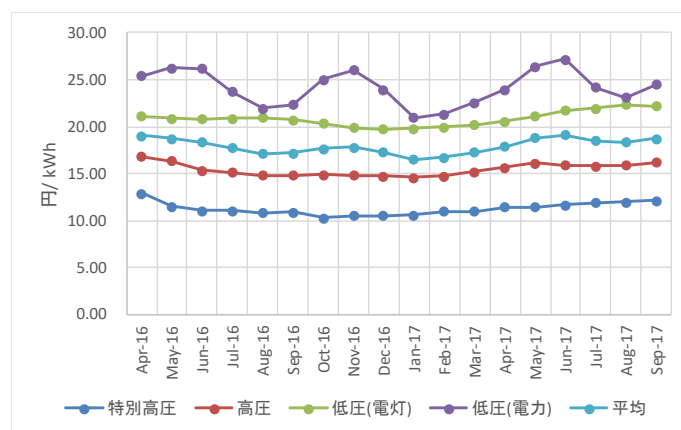


図 1.2 電気料金の推移

これらを踏まえて近年、再生可能エネルギーの普及や電力エネルギーの高効率利用の社会的背景に基づいて、半導体電力変換装置の用途が拡大すると共に、更なる高効率化や高電力密度化が求められている。

パワーエレクトロニクスにおけるパワーデバイスの世界市場では図 1.3に示すようにSiデバイスが広く利用されているが、次世代パワーデバイスとして、GaNやSiCデバイスが注目を集めている[4]。このことからパワー半導体市場では、従来デバイスSiと次世代デバイスSiCやGaNが混在している。



図 1.3 パワー半導体の世界市場規模推移と予測

1.2 研究目的

研究背景より、エネルギー問題とパワーエレクトロニクスの課題における観点からパワーエレクトロニクス機器は高効率・高パワー密度化が求められているとともにパワー半導体市場では、従来デバイスSiと次世代デバイスSiCやGaNが混在している。SiCやGaNなどの次世代ワイドギャップ電力用パワーデバイスは、その低オン電圧と高速スイッチング性能を生かして半導体電力変換装置の高電力密度化が期待されている[5][6]。しかし、スイッチング速度が高速であるためにスイッチング時に過大なサージ電圧が発生しやすくなり、またEMIノイズも増加する傾向にある。特に中・大容量の電力変換装置では、大形のパワーモジュールを使用する必要があるが直流電源とパワーデバイスの間の配線インダクタンスが十分に低減できず、上記の問題の解決が困難になる[7]。一方、シリコンデバイスのSi-IGBTは、SiCデバイスと比較してコストが低いため、多くの電力変換装置で今後も使用されるものと考えられる。Si-IGBTは、次世代ワイドギャップ半導体デバイスと比較してスイッチング速度が遅く、またターンオフ時にテール電流が発生するため、スイッチング損失の増加が課題となる。

これらの問題に対して、従来は直流バスのコンデンサとパワーモジュール間の配線にラミネートバスバーを使用し、またパワーモジュールのP-N端子間に

RCDスナバ回路等を接続していた。しかしこれらの方法ではSiCデバイスの高速スイッチング動作への対応、あるいはSi-IGBTのスイッチング損失の低減には限界があるものと思われる[8][9][10][11]。

そこで新旧、両デバイスにおいてデメリットを解消する回路手法の開発が必要となる。そこで本研究目的は、SiCデバイスの高速スイッチングにより発生するサージ電圧やEMIノイズの低減とSiデバイスによるスイッチング損失の低下を解消するための方法として既存のバレーフィル回路を応用した新規のスナバ回路(バレーフィルスナバと呼ぶ)の開発とパワーコンバータへ応用し、サージ電圧やEMIノイズ、スイッチング損失の低下を改善する手法の検証である。

1.3 論文構成

本論文は、全7章で構成する。以下に各章の要旨を示す。

第1章では、本研究の背景及び目的、論文構成について述べる。

第2章では、パワーエレクトロニクス回路におけるスナバ回路の機能と種類について述べる。これらにはスナバ損失の発生が欠点とされているため、回路全体の電力変換効率の低下につながる。そこで、既存のバレーフィル回路を応用してスナバ用途として利用することでスナバ損失を発生させることなくスナバ回路の機能を有することができるため、応用方法について説明する。

第3章では、新しく考案したハードスイッチング型バレーフィルスナバの回路構成と動作原理について説明する。まず、降圧チョッパ回路に適用したバレーフィルスナバにおいて、動作原理とスナバ機能である電圧クランプ値の定式化を行う。次に、シミュレーションと実機検証を行うために必要な回路パラメータおよび駆動回路、負荷回路の選定方法や熱設計について述べる。その後、シミュレーション及び実験における回路の動作確認と性能評価について述べる。バレーフィルスナバに用いるキャパシタの値を2通りの条件でシミュレーション及び実験検証を行い、スナバ機能である電圧クランプを行えることを示す。最後に、ハードスイッチング型バレーフィルスナバの課題について述べ、さらなる電力

変換効率向上を目指した方式について提案する。

第 4 章では、ソフトスイッチング型バレーフィルスナバの回路構成と動作原理について説明する。さらなる電力変換効率の向上を目指し、スイッチング損失を低減する方式を追加し、降圧チョッパ回路に適用したバレーフィルスナバにおいて、動作原理とソフトスイッチング機能に関する定式化を行う。次に、シミュレーションと実機検証を行うために必要な回路パラメータおよび駆動回路、負荷回路の選定方法について述べる。その後、シミュレーション及び実験における回路の動作確認と性能評価について述べる。ソフトスイッチングに用いるキャパシタの値を 2 通りの条件でシミュレーション及び実験検証を行い、ソフトスイッチング機能について示す。最後に、ソフトスイッチング型バレーフィルスナバの課題について述べ、さらなる電力変換効率向上を目指した方式について提案する。

第 5 章では、ソフトスイッチング改良型バレーフィルスナバの回路構成と動作原理について説明する。完全なソフトスイッチングを実現するために回路の一部分を変更し、ソフトスイッチング機能に関する定式化を行う。その後、シミュレーション及び実験における回路の動作確認と性能評価について述べる。

第 6 章では、スナバ回路の性能比較をについて述べる。従来のスナバと提案したバレーフィルスナバにおいて、サージ電圧抑制効果や電力変換効率について比較し、バレーフィルスナバ回路の有用性について述べる。

第 7 章では、本論文を総括し、今後の課題について述べる。

第2章 パワーエレクトロニクス機器におけるスナバ回路

本章では、パワーエレクトロニクス機器においてスイッチングに起因するデバイスのストレスを低減するために、保護回路としてデバイスの周辺に付加される回路要素であるスナバ回路の役割と種類について述べる。

高周波化可能な次世代パワーデバイスの SiC や GaN を用いる場合、スナバ回路で発生する損失は回路全体の電力変換効率の一部を占めるため、電力変換効率の低下につながる。そこで、従来のスナバに代わって新たにバレーフィル回路を応用した低損失スナバとされるバレーフィルスナバの構成について述べる。

2.1 スナバ回路の必要性と機能

パワーエレクトロニクス回路では、デバイスで発生する損失を極力抑えて電力変換効率を高める目的から、デバイスはオンまたはオフのいずれかの状態をとるスイッチング動作を基本とする。オン状態ではデバイスに加わる電圧は低く、オフ状態ではデバイスに流れる電流は少ない。しかし、オンからオフのターンオフまたはオフからオンのターンオン状態へのスイッチング過程では高電圧と高電流が同時に存在するためデバイス内部での電力損失が発生し、過渡現象にともなうストレスが加わる。

スナバはスイッチングに起因するデバイスのストレスを低減するための保護回路としてデバイスの周辺に付加される回路要素である。スナバの必要性について、図 2.1 に配線インダクタンスを考慮した降圧チョッパ回路を示し、このときのスイッチング波形と電流・電圧平面上でのスイッチング軌跡を図 2.2 に示す。

デバイスのターンオフ過程はゲート信号のオフによって開始され、図 2.2(a)の時間 t_0 においてデバイス電圧が増加し始める。時間 t_1 で V_{DS} が電源電圧 V_{dc} に達して還流ダイオード D_o がオンすると、ドレイン電流 I_D は減少し始める。この減

少曲線もゲート駆動回路とデバイス特性に依存して決まる。これにともなって回路の配線インダクタ $L = L_1 + L_2 + L_3 + L_4$ に発生する電圧 $L \frac{dI_D}{dt} > 0$ が電源電圧 V_{dc} に加わるためドレイン-ソース電圧 V_{DS} は電源電圧 V_{dc} よりも高くなりこの状態が時間 t_2 まで続き、ターンオフ動作を終了する。

一方、デバイスのターンオン過程ではゲート信号のオンによって開始され、時間 t_3 においてデバイス電流が増加し始める。このときのデバイス電流の立ち上がりはゲート駆動回路とデバイス特性に依存して決定される。これにともなう、デバイス電圧はステップ状に $L \frac{dI_D}{dt} > 0$ だけ減少して電源電圧よりやや低い値をとる。デバイス電流は還流ダイオード D_o の逆回復電流のため負荷電流値 I_o を超過して流れる。時間 t_4 でダイオード D_o が逆回復すると以後はデバイス特性にしたがって電圧 V_{DS} のゼロまで降下し時間 t_5 でターンオン動作を終了する。

図 2.2(b)において、黒の破線で示される正方形の領域は、回路の寄生インダクタ L を考慮しない場合のスイッチング軌跡を示しており、実線で示される実際の軌跡はこの領域を大きく逸脱している。このことから、スイッチングにともないデバイスには過渡的に高電圧、高電流によるストレスが加えられ、またその大きさは電源電圧 V_{dc} と負荷電流 I_o の値を超えることが明らかである。これを抑制するための付加回路がスナバである。スナバを付加した場合のスイッチング軌跡の一例は赤の破線で示している。そのときの大きさは電源電圧 V_{dc} と負荷電流 I_o の値を超えることなくスイッチング軌跡を描くことができる。

以上を踏まえてスナバ回路の機能についてまとめると

- ①デバイスの過渡的な電圧、電流を抑制し、スイッチング軌跡を SOA 領域内に納める。
- ②過大 dV/dt による誤点弧、ならびに過大 dI/dt のため生じる電流集中によるデバイス破壊を防止する。
- ③スイッチング期間での電圧・電流の重なりを抑制して、デバイス内部で生じるスイッチング損失を低減する。

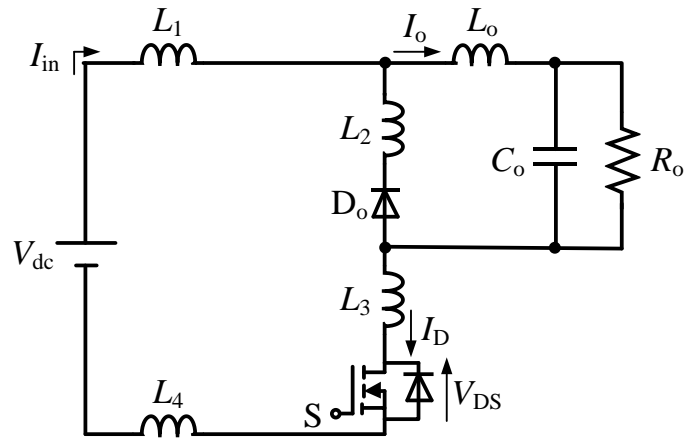
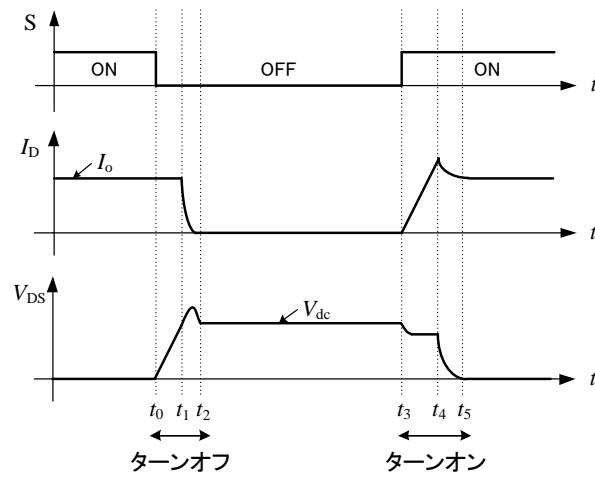
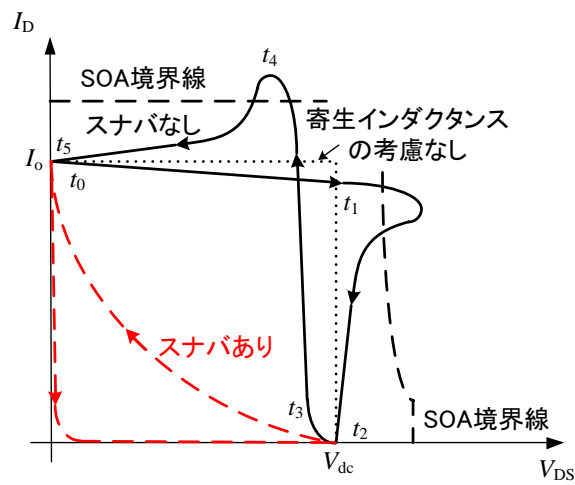


図 2.1 配線インダクタンスを考慮した降圧チョッパ回路



(a) スイッチング波形



(b) スイッチング軌跡

図 2.2 スイッチング波形とスイッチング軌跡

2.2 スナバの種類

スナバは用途によって、電圧クランプスナバ、ターンオフスナバ、ターンオンスナバなどに分類することができる[12]。

図 2.3 にスイッチングデバイスの周辺に付加したスナバ回路の例を示す。

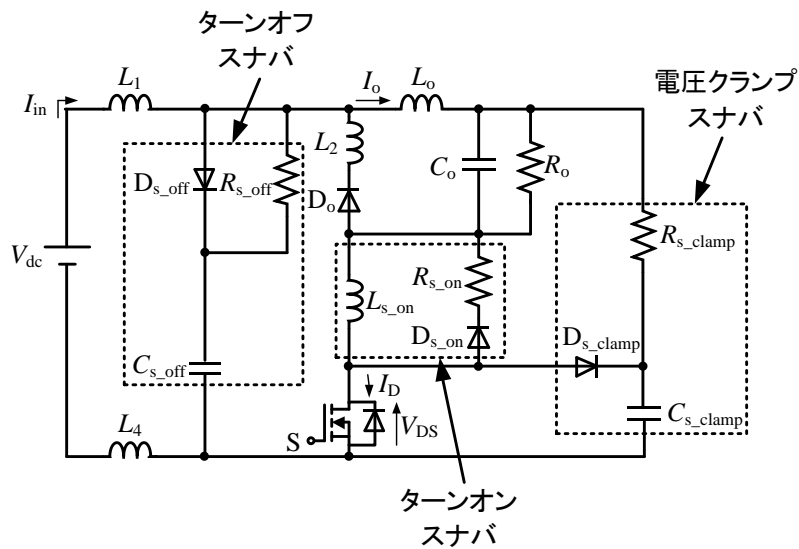


図 2.3 電圧クランプとターンオフ・オンスナバ回路

2.2.1 電圧クランプスナバ

電圧クランプスナバは、デバイスへの印加電圧をあるレベルにクランプする目的で使用されるが、オフ電圧上昇率 dV/dt を抑制する効果はない。しかしターンオフ時のデバイスへのストレスを緩和する意味でターンオフスナバの一種と考えることができる。

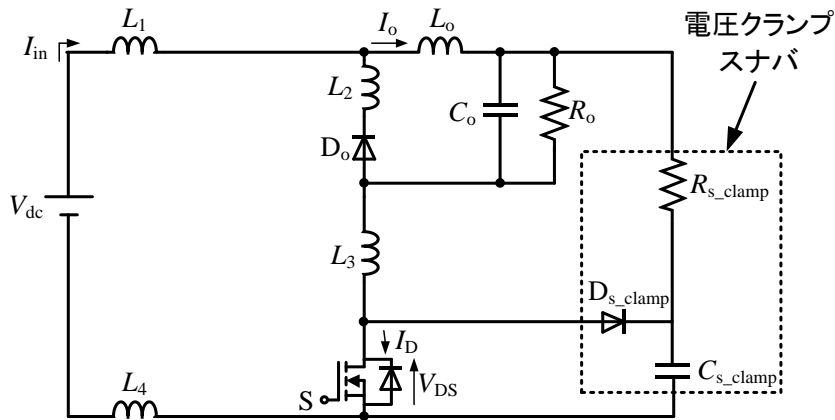


図 2.4 降圧チョップ回路に適用した電圧クランプスナバ

2.2.2 ターンオフスナバ

デバイスのターンオフ時にデバイスと並列に電流のバイパスを設けることにより回路のインダクタンスに蓄積されたエネルギーを吸収して dV_{DS}/dt またはサージ電圧の発生を抑えるという原理に基づいている。

最も代表的なターンオフスナバの回路構成は図 2.5(a)の RC スナバ回路と図 2.5(b)の RCD スナバ回路がある。

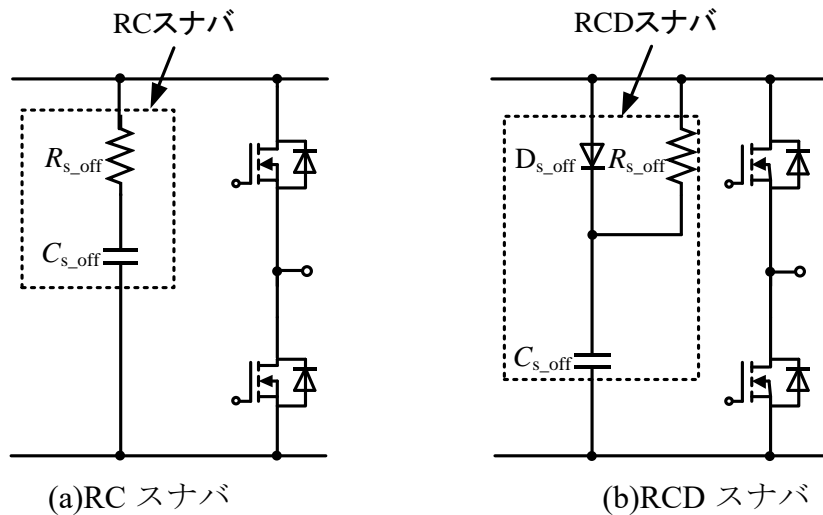


図 2.5 ターンオフスナバ

図 2.5(a)の RC スナバ回路は、抵抗 R_{s_off} とコンデンサ C_{s_off} を直列にした構造である。降圧チョップ回路に適用した RC スナバの例を図 2.6 に示す。

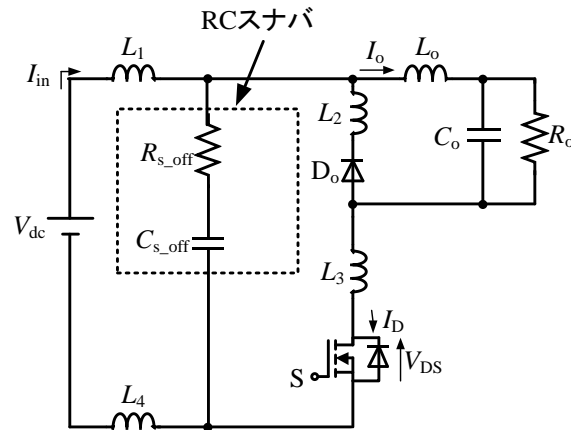


図 2.6 降圧チョップ回路に適用した RC スナバ

RC スナバ回路は、回路インダクタンスとスナバコンデンサの共振を抵抗 R_{s_off} で抑制することでスイッチング時に生じる過渡的な高電圧を吸収する。図 2.7(a), (b)に RC スナバ回路の充電・放電動作を示す。

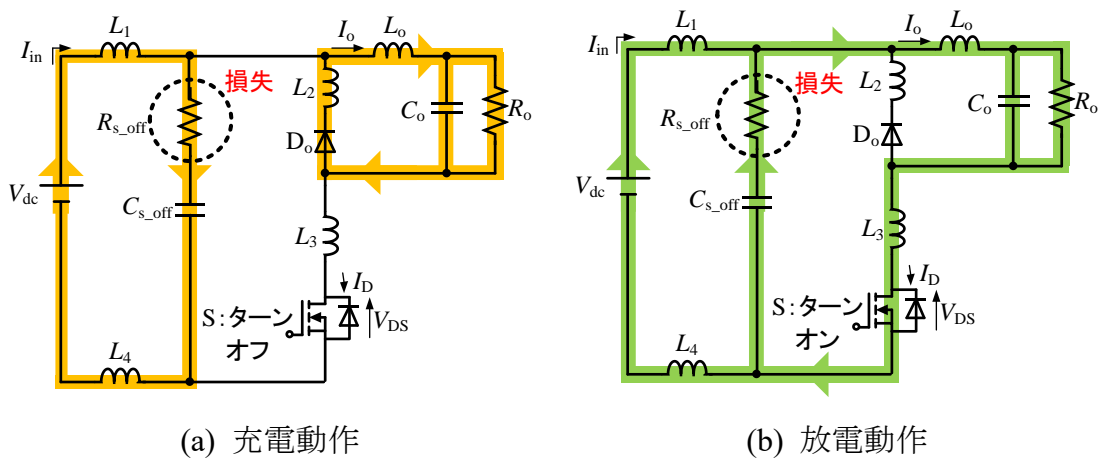


図 2.7 降圧チョップ回路に適用した RC スナバ回路の充電・放電動作

図 2.7(a)では、スイッチング素子 S がオンからオフのターンオフ時に抵抗 R_{s_off} と直列に接続されたキャパシタ C_{s_off} を充電することで、スイッチング素子 S に加わる過電圧を抑制する。図 2.7(b)では、スイッチング素子 S がオフからオンのターンオン時にキャパシタ C_{s_off} に蓄積したエネルギーを放電する。このようにスイッチ状態が変化したときにキャパシタ C_{s_off} の充電・放電を行うことでスイ

スイッチング時の過渡的な高電圧を抑制する。しかし、充電・放電時に抵抗による損失が発生してしまうことが欠点となる。これらのスナバ損失は、周波数に比例して増加するため、近年の傾向とされる高周波化用途には利用できない。

図 2.5(b)の RCD スナバ回路は、RC スナバにダイオード D_{s_off} を追加した構造である。降圧チョップパ回路に適用した RCD スナバの例を図 2.8 に示す。

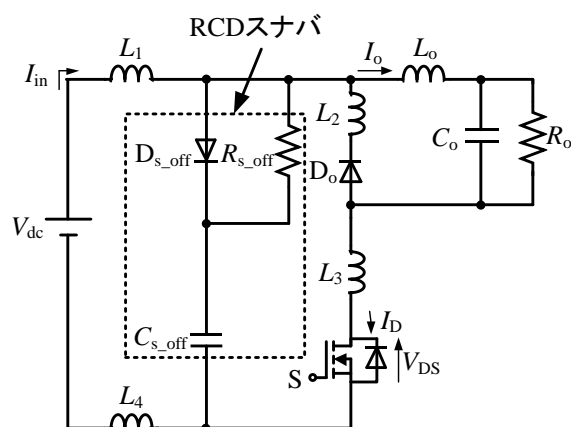


図 2.8 降圧チョップパ回路に適用した RCD スナバ

RCD スナバ回路は、コンデンサ C_{s_off} の充電時にダイオード D_{s_off} を通り、放電時には抵抗 R_{s_off} を介して放電することでスイッチング時に生じる過渡的な高電圧を吸収する。図 2.9 (a), (b)に RCD スナバ回路の充電・放電動作を示す。

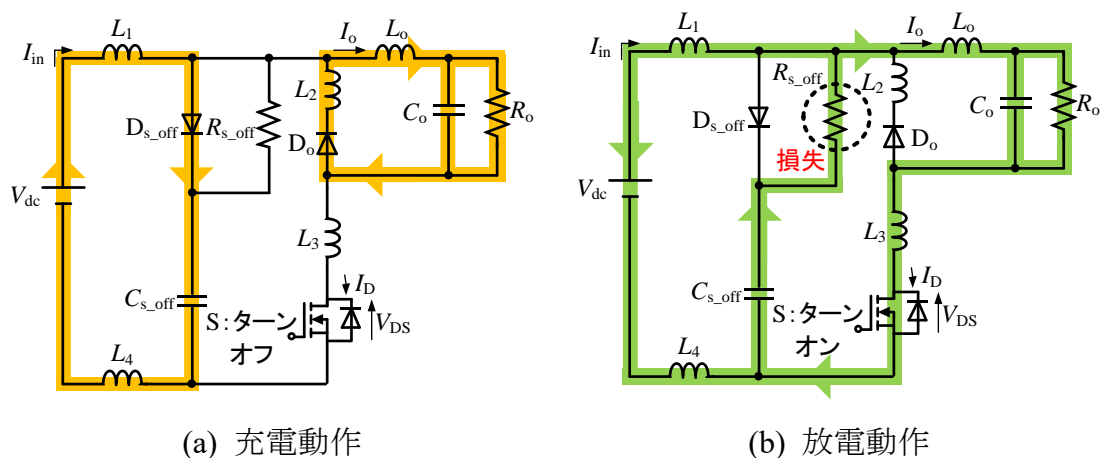


図 2.9 降圧チョップパ回路に適用した RCD スナバ回路の充電・放電動作

図 2.9(a)では、スイッチング素子 S がオンからオフのターンオフ時にダイオード D_{s_off} を介してキャパシタ C_{s_off} を充電することで、スイッチング素子 S に加わる過電圧を抑制する。図 2.9(b)では、スイッチング素子 S がオフからオンのターンオン時に抵抗 R_{s_off} を介してキャパシタ C_{s_off} から放電を行うため、エネルギーを消費する。このようにスイッチ状態が変化したときにキャパシタ C_{s_off} の充電・放電を行うことでスイッチング時の過渡的な高電圧を抑制する。RC スナバでは、充電・放電のどちらも抵抗 R_{s_off} を介して行われるが RCD スナバは放電時のみ、抵抗 R_{s_off} を介して放電する構造であるため、スナバ損失を抑えることができる。しかし、RCD スナバ回路のスナバ損失も周波数に比例して増加するため、近年の傾向とされる高周波化用途には利用できない。

2.2.3 ターンオンスナバ

デバイスのターンオン時のオン電流上昇 dI_D/dt をデバイスと直列に接続するインダクタにより抑制するもので、スイッチング損失の発生を抑えると同時にダイオードの逆回復電流に起因して主デバイスに流れる突入電流を抑制する作用がある。この種のスナバは電流スナバあるいは直列スナバと総称される。代表的なターンオフスナバの回路構成を図 2.10 に示す。

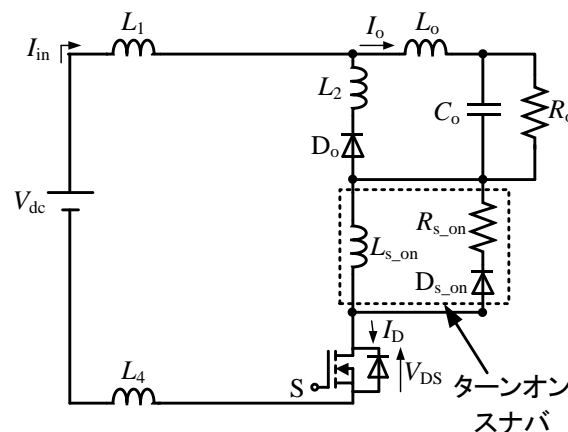


図 2.10 降圧チョッパ回路に適用したターンオンスナバ

ターンオンスナバ回路は、ターンオン時にインダクタ L_{s_on} を介してスイッチに電流を流すため、ターンオン電流上昇率 dI_D/dt を抑制する。図 2.11(a), (b)にターンオンスナバ回路の充電・放電動作を示す。

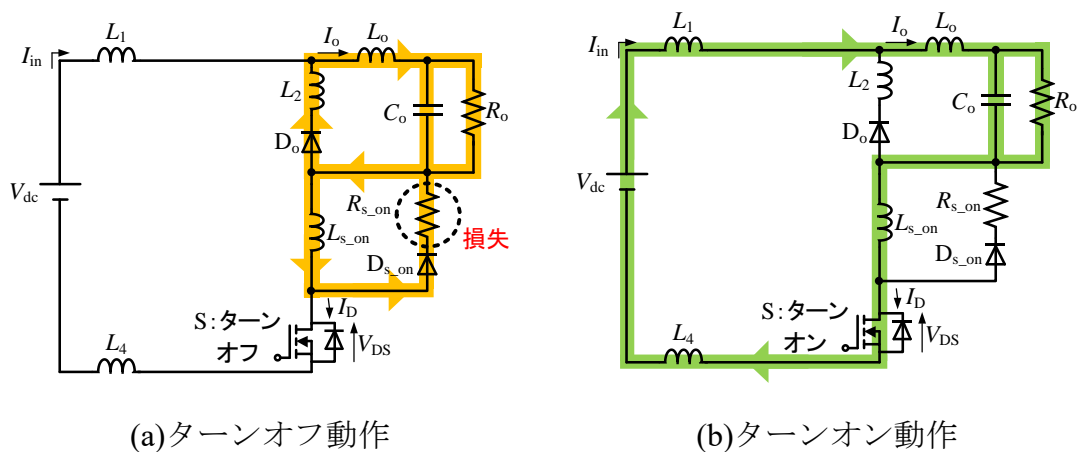


図 2.11 ターンオンスナバ回路の充電・放電動作

図 2.11(a)では、スイッチング素子 S がオフからオンのターンオン時にインダクタ L_{s_on} を介してスイッチに電流が流れる。インダクタ L_{s_on} には $V_L = L \frac{dI_D}{dt} < E$ の逆起電力が発生する。逆起電力の式からインダクタ L_{s_on} の値によって、ターンオン電流上昇率 dI_D/dt を抑制する。図 2.11(b)では、スイッチング素子 S がオンからオフのターンオフ時にダイオード D_{s_on} と抵抗 R_{s_on} を介してインダクタエネルギーの放出し、エネルギーを消費する。このようにスイッチ状態が変化したときにインダクタ L_{s_on} を介してスイッチに電流を流すことでターンオン電流上昇率 dI_D/dt を抑制する。しかし、インダクタエネルギーを放電する際に抵抗による損失が発生してしまうことが欠点となる。スナバ損失は、周波数に比例して増加するため、近年の傾向とされる高周波化用途には利用できない。

2.3 バレーフィル回路

バレーフィル回路は、力率改善回路 PFC(Power Factor Correction)と同様の機能を持ち、全高調波歪み THD(Total Harmonic Distortion)を改善する用途で使用されている。これらの回路は、高調波電流抑制規定の制定にともない、スイッチング電源などの入力電流に発生する高調波電流の抑制を行うものである。使用用途の一例としては、蛍光灯や照明等に用いられる LED 調光器において、高調波電流を抑制する目的で使用されている。もし、高調波電流を抑制できない場合、照明の光がちらつく、フリッカー現象が生じる。図 2.12 に全波整流回路の直後に接続されたバレーフィル回路を示す。図 2.13～図 2.15 にバレーフィル回路の動作 Mode I から Mode IV を示し、図 2.17 にバレーフィル回路における入力電流 I_{in} 、入力電圧 V_{ac} 、pn 間電圧 V_{pn} の動作波形を示す[13][14]。

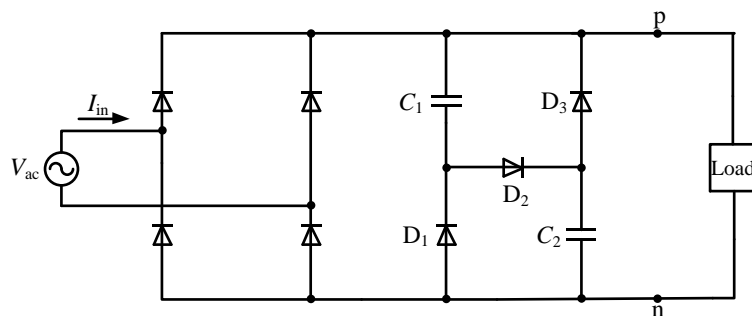


図 2.12 バレーフィル回路

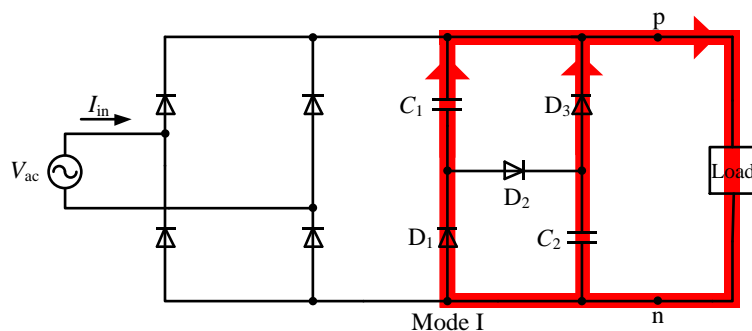


図 2.13 バレーフィル回路における Mode I の動作

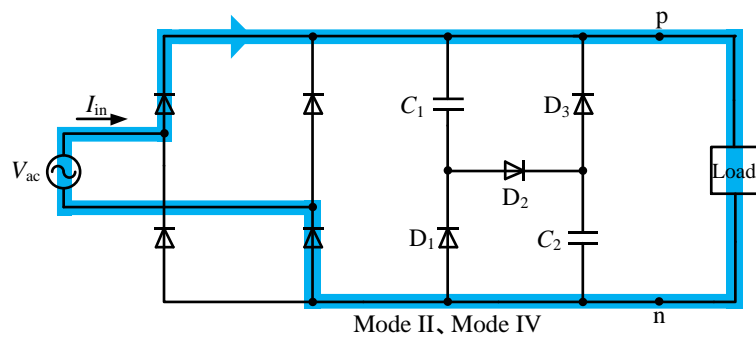


図 2.14 バレーフィル回路における Mode II の動作

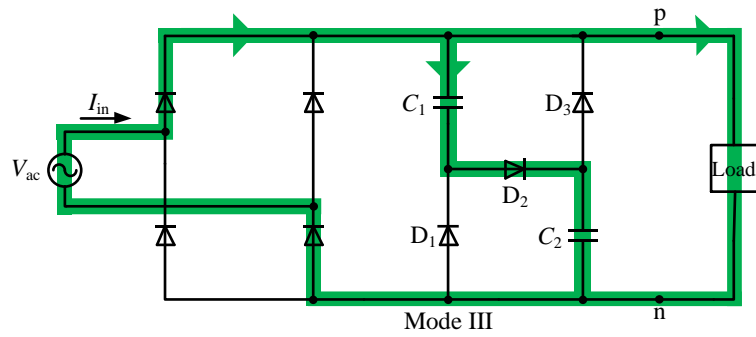


図 2.15 バレーフィル回路における Mode III の動作

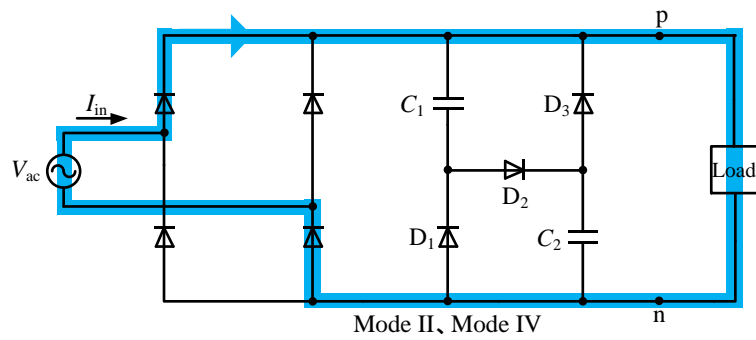


図 2.16 バレーフィル回路における Mode IV の動作

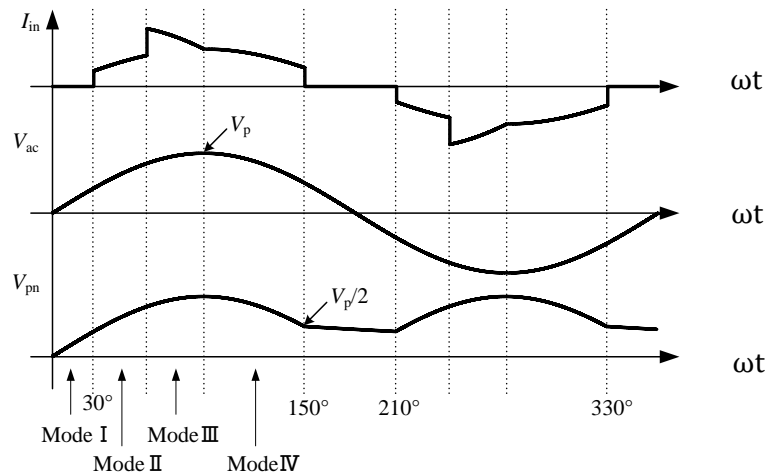


図 2.17 バレーフィル回路の動作波形

入力電圧が正の状態において、Mode I のバレーフィル回路のキャパシタから放電する場合は、図 2.13 に示すようにキャパシタは 2 並列の状態を構成するためにダイオード D_1 と D_3 がオンする。放電が終了すると Mode II に移行する。

Mode II では、図 2.14 に示すように入力電流と負荷に流れる電流は等しくなる。

Mode III のバレーフィル回路のキャパシタを充電する場合は、図 2.15 に示すようにキャパシタは 2 直列の状態を構成するためにダイオード D_2 がオンする。放電が終了すると Mode IV に移行する。

Mode IV では、Mode II と同様に図 2.16 に示すように入力電流と負荷に流れる電流は等しくなる。Mode IV が終了すると再び Mode I となる。このときの入力電圧は負となるが、全波整流回路を用いているため、負荷にかかる電圧や電流に関しては、入力電圧が正の状態と同じモードで動作する。

図 2.17 の pn 間電圧波形より、バレーフィル回路を用いることで整流回路の出力電圧リップルを低減できる。この原理を応用してコンデンサの直列数、並列数を増やすことによって直流電圧の変動幅を低減できる。この原理を応用したものをバレーフィルスナバと呼ぶ。本研究では最終的に三相 PWM インバータに実装することをターゲットとして、3 直列で充電するように応用する。

2.4 バレーフィルスナバ

バレーフィルスナバの基となるバレーフィル回路は、キャパシタの充電と放電を利用して、出力電圧リップルを低減しており、この特性をスナバ回路に応用したものがハードスイッチング型バレーフィルスナバである。降圧チョッパ回路に適用した例を図 2.18 に示す。ここでは、バレーフィルスナバの重要な機能である電圧クランプ時の動作について説明する。なお、直流電圧源とバレーフィルスナバの間には微少の入力インダクタ L_{in} を接続する。この L_{in} とスナバキャパシタによる不要な高周波共振を抑制する目的で、適切なインダクタンス(配線インダクタを含む)を設計する必要がある。詳しい設計方法は第 3 章で述べる。

スナバ機能である電圧クランプに関して重要な動作モードとしては、図 2.19 に示されるスイッチング素子 S のターンオフ時に生じる充電時動作と図 2.20 に示されるスイッチング素子 S のターンオン時に生じる放電時動作がある。

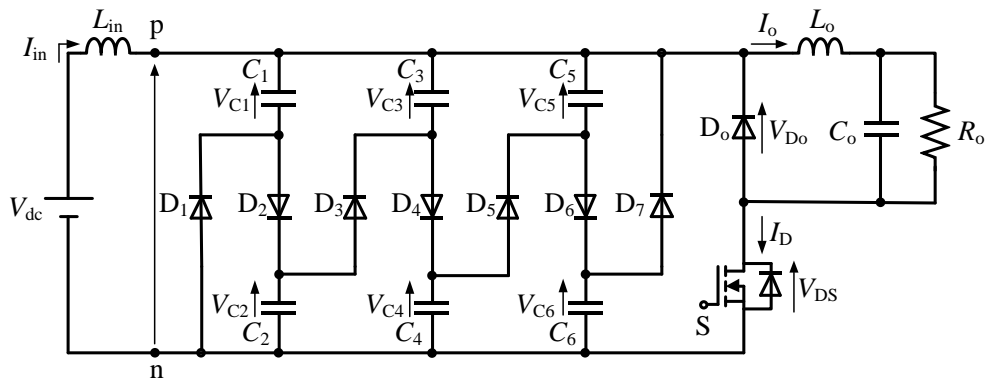


図 2.18 降圧チョッパ回路に適用したハードスイッチング型
バレーフィルスナバ

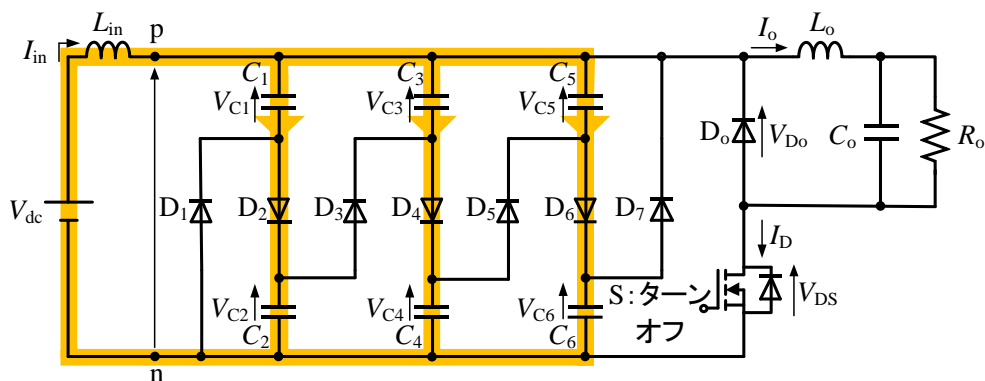


図 2.19 ハードスイッチング型バレーフィルスナバ回路の充電時動作

充電動作に関して、図 2.19 に示すようにスイッチング素子 S がオンからオフに切り替わるターンオフ時に生じる動作経路は、バレーフィルスナバキャパシタ $C_1 \sim C_6$ を 2 直列、3 並列で充電するようにダイオード D_2 , D_4 , D_6 が導通する。pn 間の直流バス電圧はバレーフィルスナバの充電電圧 V_{char} (例えば $V_{C1} + V_{C2}$) でクランプされる。このクランプされる電圧によってターンオフ時にスイッチング素子 S に加わる過渡電圧を抑制することができる。このクランプされる電圧の値に関しては第 3 章で説明し、定式化を行う。クランプ電圧値を定式化することで、入力に使用する電圧を決定できれば、スイッチング素子 S に加わる充電電圧をあらかじめ把握することが可能となり、適切な定格値のスイッチング素子を決定することが容易となる。

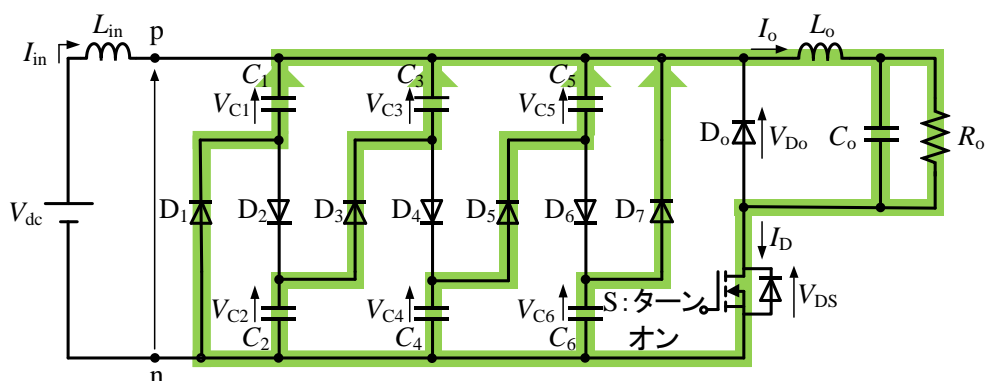


図 2.20 ハードスイッチング型バレーフィルスナバ回路の放電時動作

放電動作に関して、図 2.20 に示すようにスイッチング素子 S がオフからオンに切り替わるターンオン時に生じる動作経路は、バレーフィルスナバキャパシタ $C_1 \sim C_6$ に蓄えられたエネルギーを 4 並列で放電するようにダイオード D_1 , D_3 , D_5 , D_7 が導通する。pn 間の直流バス電圧はバレーフィルスナバの放電電圧 V_{dis} (例えば V_{cl}) でクランプされる。この動作は、 L_{in} を流れる入力電流 I_{in} が負荷電流 I_o と等しくなるまで継続される。バレーフィルスナバには、抵抗を用いないため、損失が発生されることなく、電圧クランプによりスナバとして機能するため、従来のスナバに代わる低損失スナバである。バレーフィルスナバの詳しい動作原理に関しては第 3 章に記す。

2.5 まとめ

本章では、パワーエレクトロニクス機器におけるスイッチングに起因して発生するサージによるデバイスのストレスを低減するための保護回路であるスナバ回路の役割と種類について述べ、種類ごとに動作原理とデバイスストレス緩和効果を確認したのちに、従来スナバのデメリットとされるスナバ損失を発生させないスナバとしてバレーフィル回路の機能をスナバに応用したバレーフィルスナバについて回路構成とサージ電圧抑制に関する基本動作について述べた。

第3章 ハードスイッチング型バレーフィルスナバの回路構成

本章では、提案法であるバレーフィル回路を応用したハードスイッチング型バレーフィルスナバについて述べる。はじめに、降圧チョッパ回路に適用した場合の構成と動作原理について説明し、スナバ機能に関する電圧クランプ値の定式化を行う。次に、ハードスイッチング型バレーフィルスナバを構成する素子の役割と設計方法について述べたあとにシミュレーションにより、適正パラメータの決定とスナバ機能の確認を行う。最後に、実機による検証を行うために、実機回路の設計方法と製作手順について述べてから実機検証を行い、理論式やシミュレーションの結果と比較し、スナバ機能とサージ電圧の低減効果について確認を行い、ハードスイッチング型バレーフィルスナバの課題点を述べる。

3.1 ハードスイッチング型バレーフィルスナバの原理

図 2.18 は、降圧チョッパ回路に適用したハードスイッチング型バレーフィルスナバ回路である。ハードスイッチング型バレーフィル回路においてスイッチング周波数 f_s の 1 周期の動作波形を図 3.1 に示す。波形は上からスイッチング素子 S、入力電流 I_{in} 、出力電流 I_o 、スイッチング素子 S のドレイン電流 I_D 、スイッチング素子 S のドレイン-ソース間電圧 V_{DS} 、出力ダイオード電圧 V_{Do} 、pn 間の直流バス電圧 V_{pn} となる。なお、pn 間の直流バス電圧 V_{pn} は $V_{DS}+V_{Do}$ である。この回路は、1 周期に 4 つの動作モードを持ち、各モードの動作回路を図 3.2～図 3.5 に示す。

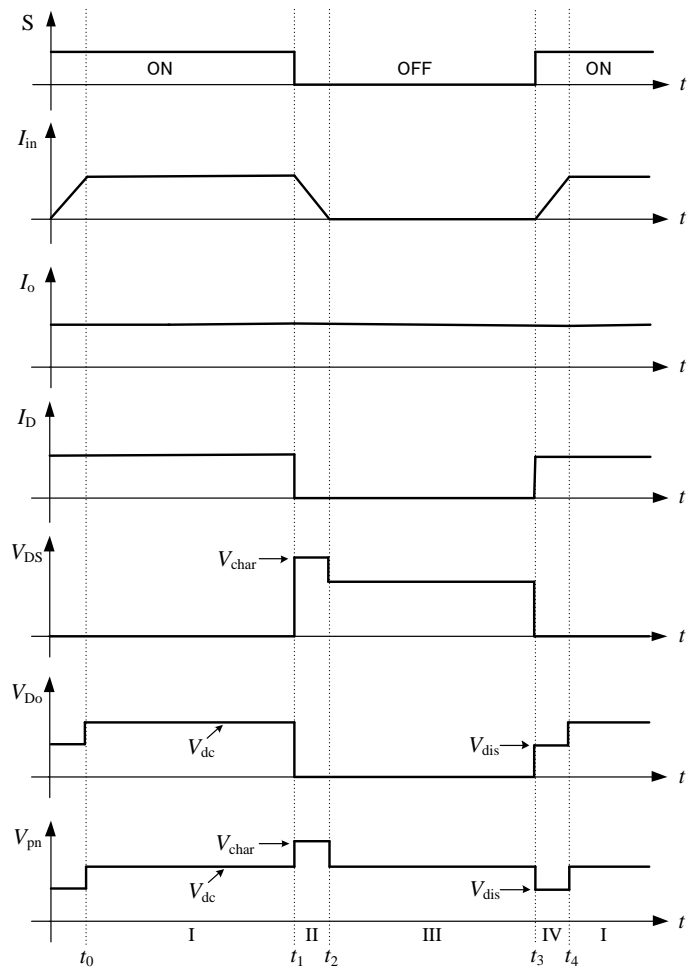


図 3.1 ハードスイッチング型バレーフィルスナバの動作波形

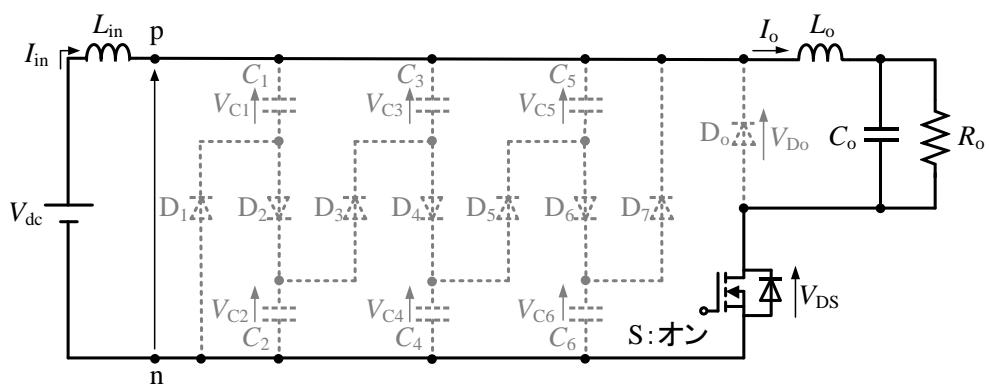


図 3.2 ハードスイッチング型バレーフィルスナバにおける Mode I の動作

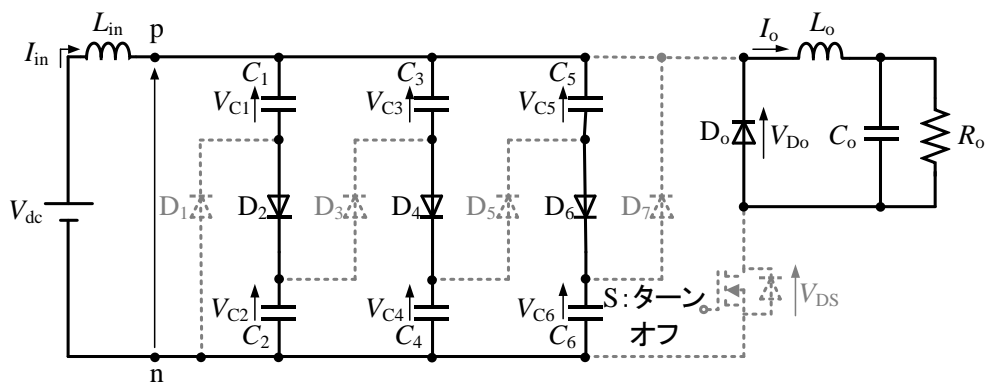


図 3.3 ハードスイッチング型バレーフィルスナバにおける Mode II の動作

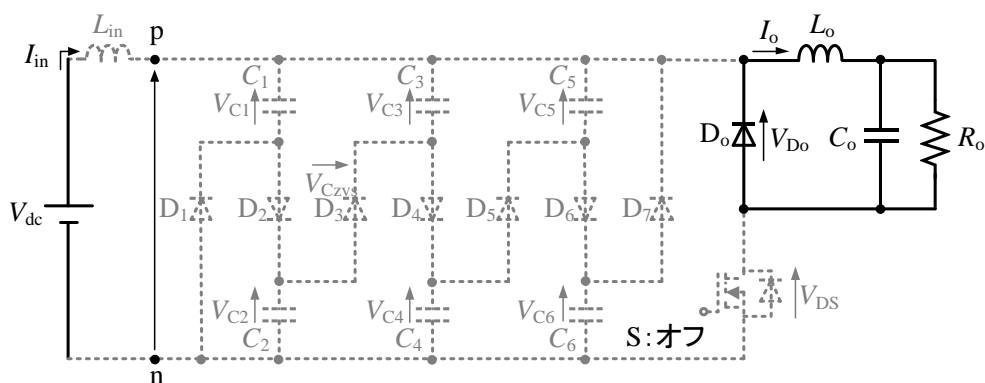


図 3.4 ハードスイッチング型バレーフィルスナバにおける Mode III の動作

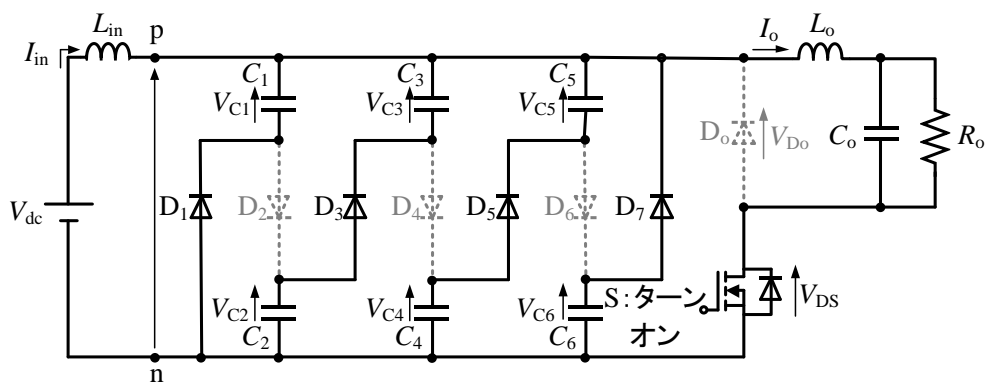


図 3.5 ハードスイッチング型バレーフィルスナバにおける Mode IV の動作

Mode I [$t_0 \sim t_1$] : 動作回路は図 3.2 となり、スイッチング素子 S はオン状態である。入力電流 I_{in} と出力電流 I_o はほぼ等しい値であるため、入力電流 I_{in} の値は変

動することなく負荷側に流れる。そのため、pn 間の直流バス電圧 V_{pn} は入力電圧 V_{dc} と等しくなる。スイッチング素子 S の状態が変わるまでこのモードを維持する。

Mode II $[t_1 \sim t_2]$: 動作回路は図 3.3 となる。スイッチング素子 S のターンオフ時に直流側の入力インダクタ L_{in} に流れていた入力電流 I_{in} はバレーフィルスナバキャパシタに流れ込み、キャパシタは 2 直列、3 並列された状態で充電される。このとき pn 間電圧 V_{pn} は入力インダクタ L_{in} の起電力と入力電圧 V_{dc} の和となり、充電電圧 V_{char} で電圧クランプされる。入力インダクタ L_{in} を流れる入力電流 I_{in} はバレーフィルスナバキャパシタの充電にともない、徐々に減少し、 $I_{in}=0$ になる。これにより、ターンオフ時に発生するサージ電圧を抑制することができる。バレーフィルスナバキャパシタの充電が完了するまでこのモードを維持する。

Mode III $[t_2 \sim t_3]$: 動作回路は図 3.4 となり、スイッチング素子 S はオフ状態を維持している。入力電流 I_{in} は遮断された状態であり、負荷電流 I_o は負荷側で還流する。また、入力インダクタ L_{in} を流れる電流は 0 を維持しているので、pn 間の直流バス電圧 V_{pn} は入力電圧 V_{dc} と等しくなる。スイッチング素子 S の状態が変わるまでこのモードを維持する。

Mode IV $[t_3 \sim t_4]$: 動作回路は図 3.5 となる。スイッチング素子 S のターンオン時に直流回路側から負荷回路側に電流を流す必要があるが、入力インダクタ L_{in} を流れる入力電流 I_{in} は 0 であるため、入力電流 I_{in} が増加し、負荷電流 I_o と等しくなるまでの間、負荷回路側にはバレーフィルスナバキャパシタから電流が供給される。このとき、バレーフィルスナバ回路のダイオードの導通条件から、バレーフィルキャパシタは 1 および 2 直列に接続された状態で放電する。放電動作時の pn 間の直流バス電圧 V_{pn} は入力電圧 V_{dc} より低い電圧の放電電圧 V_{dis} で電圧クランプされる。入力電流 I_{in} が負荷電流 I_o まで増加するとバレーフィルスナバキャパシタからの放電は停止し、pn 間の直流バス電圧 V_{pn} は入力電圧 V_{dc} と等しくなり、Mode I に移行する。このように 1 周期で Mode I ~ Mode IV が存在する。

以上の動作より、pn 間の直流バス電圧 V_{pn} の電圧はクランプされ、スイッチング素子 S の過電圧を抑制する。なお、バレーフィルスナバは抵抗を用いないため、従来の RCD スナバと異なり、スナバのキャパシタに蓄積されたエネルギー

の放出時に損失が生じない。ハードスイッチング型バレーフィルスナバの動作回路から電圧クランプ機能を説明できる。また、三相 PWM インバータに応用可能である。

次に、充電電圧 V_{char} 、放電電圧 V_{dis} の値の定式化およびバレーフィルスナバ回路の各キャパシタ電圧の値を解析する。図 3.3 の Mode I と図 3.5 の Mode III における定常動作状態では、各キャパシタの平均電圧はほぼ一定の値に維持される。バレーフィルスナバ回路の充電電圧 V_{char} 、放電電圧 V_{dis} は(3.1)、(3.2)式となる。(3.1)、(3.2)式を連立すると充電電圧 V_{char} と放電電圧 V_{dis} の関係式は(3.3)式で与えられる。

$$V_{C1}+V_{C2}=V_{C3}+V_{C4}=V_{C5}+V_{C6}=V_{\text{char}} \quad (3.1)$$

$$V_{C1}=V_{C2}=V_{C3}=V_{C4}=V_{C5}=V_{C6}=V_{\text{dis}} \quad (3.2)$$

$$V_{\text{char}} = 4/3 \cdot V_{\text{dis}} \quad (3.3)$$

出力インダクタ L_o を流れる出力電流 I_o のリプル電流が極めて小さいと仮定すると充電時および放電時の入力インダクタ L_{in} を流れる入力電流 I_{in} の電流減少量と電流増加量が等しくなることから(3.4)式が得られる。

$$\frac{V_{\text{char}} - V_{\text{dc}}}{L_{\text{in}}} t_{\text{char}} = \frac{V_{\text{dc}} - V_{\text{dis}}}{L_{\text{in}}} t_{\text{dis}} \quad (3.4)$$

ただし、 t_{char} および t_{dis} はスイッチング時のインダクタ電流の下降時間および上昇時間である。さらに、充電時のエネルギーと放電時のエネルギーは等しいと仮定すると t_{char} および t_{dis} 時の各キャパシタの電圧変動幅が等しくなるため(3.5)式で表される。

$$t_{\text{char}}/t_{\text{dis}} = 3/4 \quad (3.5)$$

(3.3), (3.4), (3.5)式から充電電圧 V_{char} と放電電圧 V_{dis} は(3.6)、(3.7)式で与えられる。

$$V_{\text{char}} = 7/6 \cdot V_{\text{dc}} \quad (3.6)$$

$$V_{\text{dis}} = 7/8 \cdot V_{\text{dc}} \quad (3.7)$$

これらより、キャパシタの充電時と放電時の pn 間の直流バス電圧 V_{char} および V_{dis} と入力電圧 V_{dc} の関係式を算出できる。また、(3.1) ~ (3.7)式より、各キャパシタの平均電圧は(3.8)式で与えられる。

$$V_{c1} : V_{c2} : V_{c3} = V_{c6} : V_{c5} : V_{c4} = 3 : 1 : 2 \quad (3.8)$$

3.2 回路素子の役割と設計

ハードスイッチング型バレーフィルスナバを構成するために用いる素子の役割とパラメータの設計方法について述べる。図 3.6 にハードスイッチング型バレーフィルスナバの構成を示す。

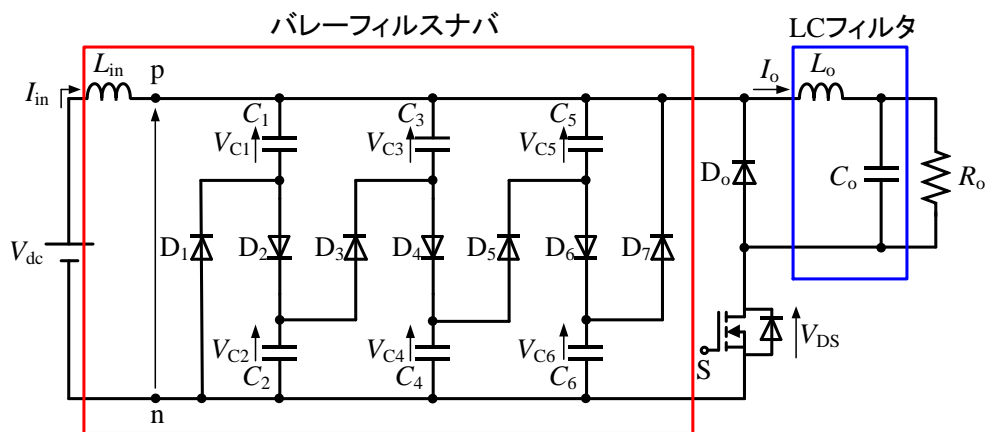


図 3.6 ハードスイッチング型バレーフィルスナバの構成

3.2.1 インダクタとキャパシタとダイオードの役割

図 3.6 に用いるインダクタとキャパシタとダイオードの役割について説明する。

・入力インダクタ L_{in}

図 3.6 においてスイッチング素子 S のターンオフ、ターンオン時に発生する配線インダクタに起因するサージ電圧によるエネルギーを一時的に蓄え、授受する役割を担う。3.1 章で定式化を行った(3.6)式、(3.7)式より充電電圧 V_{char} は、入力電圧 V_{dc} の $7/6$ 倍の電圧、放電電圧 V_{dis} は、入力電圧 V_{dc} の $7/8$ 倍の電圧はでクランプすることを説明した。このとき、pn 間の直流バス電圧 V_{pn} に発生する電圧と入力電圧 V_{dc} との差電圧分は、入力インダクタに発生する逆起電力である。もし、入力インダクタ L_{in} がない場合は、(3.6)式を満たすことができず、サージ電圧によるエネルギーを蓄えることができず、配線インダクタや寄生インダクタに短時間で高い電圧が発生し、スイッチング素子の破壊につながる。入力インダクタ L_{in} の値に関しては、配線インダクタよりも大きい値にする必要がある。一般的に配線インダクタの値は数 nH～数十 nH であると言われていることから、本研究で用いる入力インダクタ L_{in} の値は μH オーダのものを使用する。また、エネルギーを授受するバレーフィルスナバキャパシタの容量に依存する。

・バレーフィルスナバキャパシタ $C_1 \sim C_6$

図 3.6 においてスイッチング素子 S のターンオフ、ターンオン時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタに授受する役割を担う。3.1 章で定式化を行った(3.8)式より各キャパシタに加わる電圧の値が異なる。これは、バレーフィルスナバのダイオード $D_1 \sim D_7$ の導通条件より、(3.6)式を満たせる。もし、バレーフィルスナバキャパシタ $C_1 \sim C_6$ がない場合は、入力インダクタ L_{in} がない場合と同様にサージ電圧によるエネルギーを蓄えることができず、スイッチング素子の破壊につながる。バレーフィルスナバキャパシタ $C_1 \sim C_6$ の値に関しては、スイッチング素子等が持つ寄生容量よりも大きい値にする必要がある。一般的に寄生容量の値は nF オーダであると言われているこ

とから、本研究で用いるバレーフィルスナバキャパシタ $C_1 \sim C_6$ の値は数 μF オーダのものを使用する。

・バレーフィルスナバ放電時用ダイオード D_1 , D_3 , D_5

図 3.6 においてスイッチング素子 S のターンオン時にバレーフィルスナバキャパシタ $C_1 \sim C_6$ に蓄えられたエネルギーを入力インダクタ L_{in} に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。バレーフィルスナバダイオード D_1 , D_3 , D_5 はスイッチング素子 S のターンオフ時に瞬間的に導通することが要求される。一般的なダイオードとしては、pn 接合ダイオードがあげられる。pn 接合ダイオードは、p 型半導体と n 型半導体を接合させたダイオードであり、立ち上がり電圧は比較的高く、スイッチング速度は、高速でないかつダイオードのオフ時に逆回復電流が発生するため、ダイオード損失が発生しやすくなる。このことから、瞬時に導通させることが要求される回路では使用できない。そこで、高速スイッチング可能なショットキーバリアダイオードを使用する。

ショットキーバリアダイオードは、金属と半導体が接触したときに生じるショットキーバリアを利用したダイオードであり、立ち上がり電圧は低く、一方の端子が金属であるため、図 3.7 に示すように高速なスイッチングが可能かつ逆方向電流が流れにくいことからダイオード損失が発生しにくい[15]。

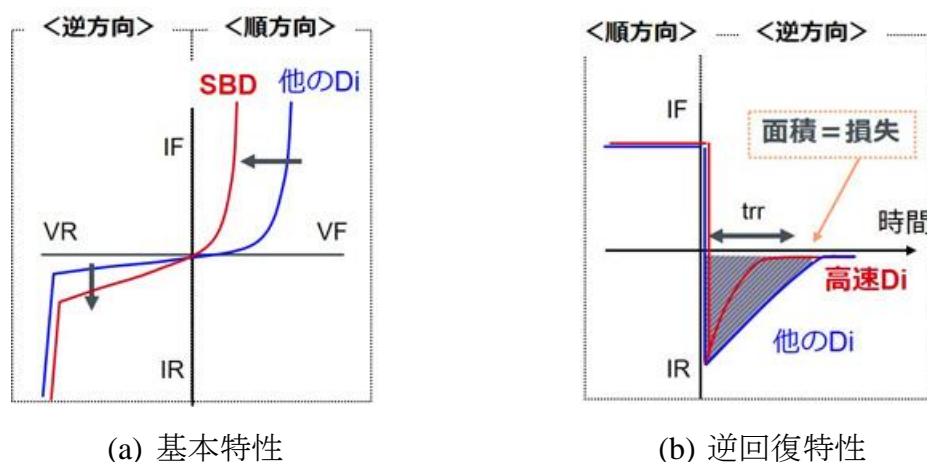


図 3.7 pn 接合ダイオードとショットキーバリアダイオードの特性比較

・ バレーフィルスナバ充電時用ダイオード D_2 , D_4 , D_6

図 3.6 においてスイッチング素子 S のターンオフ時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタ $C_1 \sim C_6$ に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。放電時と同様にバレーフィルスナバダイオード D_2 , D_4 , D_6 はスイッチング素子 S のターンオン時に瞬時に導通することが要求されことから、高速スイッチング可能なショットキーバリアダイオードを使用する。

3.2.2 スイッチングデバイスの設計

図 3.6 に用いるスイッチング素子 S の設計について説明する。スイッチング素子 S は、SiC-MOSFET のハーフブリッジモジュールを使用する。ハーフブリッジモジュールは、SiC-MOSFET が 2 直列に接続される構造となっている。また、ハーフブリッジモジュールのボディーダイオードは、SiC ショットキーバリアダイオードが内蔵されている。出力ダイオード D_o は、ハーフブリッジモジュールの上段アームのボディーダイオードを使用する。

3.2.3 駆動回路

図 3.6 に用いるスイッチング素子 S を動作させる駆動回路について説明する。一般的に SiC-MOSFET の駆動電圧は、 $-5/+20\text{ V}$ を用いる。本研究で用いるスイッチング素子 S のハーフブリッジモジュールには、汎用品の駆動回路があるためそちらを使用する。

3.2.4 LC フィルタの設計

図 3.6 の LC フィルタに用いるインダクタとキャパシタの値はスイッチング周波数 f_c でスイッチングするスイッチング素子 S の周波数成分を除去する必要がある。LC フィルタにより除去できる周波数をカットオフ周波数 f_{cut} といい、(3.9) 式で表せる。

$$f_{\text{cut}} = \frac{1}{2\pi\sqrt{L_o C_o}} \quad (3.9)$$

スイッチング周波数 $f_c = 10 \text{ kHz}$ でスイッチングさせることを想定すると LC フィルタで除去するカットオフ周波数 f_{cut} はスイッチング周波数 f_c の 1/10 倍以下にすることが望ましいことから、出力インダクタ $L_o = 3 \text{ mH}$ 、出力キャパシタ $C_o = 10 \mu\text{F}$ として(3.9)式より、計算をするとカットオフ周波数 $f_{\text{cut}} = 918 \text{ Hz}$ となる。スイッチング周波数 f_c の 1/10 倍以下であり、不要な周波数成分を除去出来る。図 3.8、図 3.9 に LC フィルタのゲイン特性と位相特性を示す。

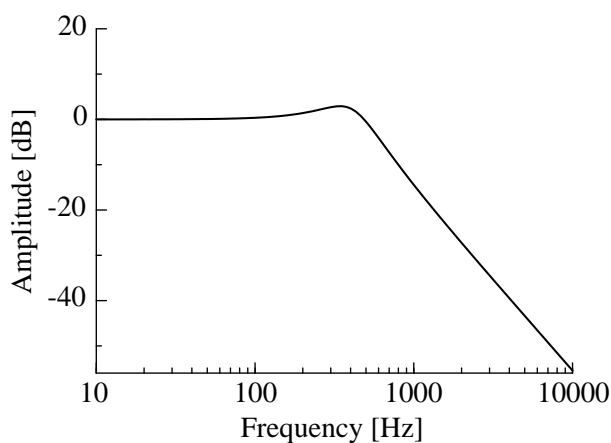


図 3.8 LC フィルタのゲイン特性

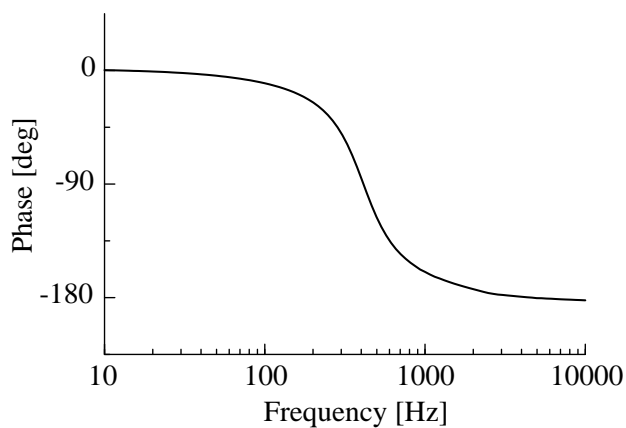


図 3.9 LC フィルタの位相特性

図 3.8 のゲイン特性では、(3.9)式で算出したカットオフ周波数 918 Hz 付近でゲインが 3 dB 上昇した後、2 次系の一般式のように -20 dB/dec で減少する。

図 3.9 の位相特性では、2 次系の一般式のように 0 deg ~ -180 deg となり、カットオフ周波数付近では -90 deg となる。

3.2.5 負荷回路の設計

図 3.6 に用いる負荷抵抗 R_o について説明する。本研究では、負荷電流を数十 A 流すことを想定して負荷抵抗 R_o は数 Ω 程度必要となる。

3.3 シミュレーションによる評価

新しく考案したハードスイッチング型バレーフィルスナバにおけるシミュレーション結果について述べる。シミュレーションには、回路シミュレータとして Myway プラス株式会社製の PSIM を用いる。3.2 章で定めた素子パラメータのオーダ値をもとにシミュレーションを行い、適正值を決定する。

3.3.1 シミュレーション条件

シミュレーション条件と評価方法について述べる。ハードスイッチング型バレーフィルスナバでは、pn 間の直流バス電圧 V_{pn} において(3.6)式、(3.7)式で定式化した充電電圧と放電電圧の値と比較することで、理論値通りの電圧クランプが行えることの確認からハードスイッチング型バレーフィルスナバの電圧クランプ機能を評価する。

表 3.1 にシミュレーションで用いる回路パラメータ、シミュレーション回路を図 3.10 に示す。

表 3.1 ハードスイッチング型バレーフィルスナバの
シミュレーション回路パラメータ

| Devices | Value |
|--------------------------------|-------------|
| Input Voltage V_{dc} | 100 V |
| Input Power P_{in} | 250 W |
| Input Inductance L_{in} | 4.2 μ H |
| Inductance of LC Filter L_o | 3 mH |
| Capacitance of LC Filter C_o | 10 μ F |
| Output Voltage V_o | 50 V |
| Output Resistance R_o | 10 Ω |
| Gate Frequency f_g | 10 kHz |

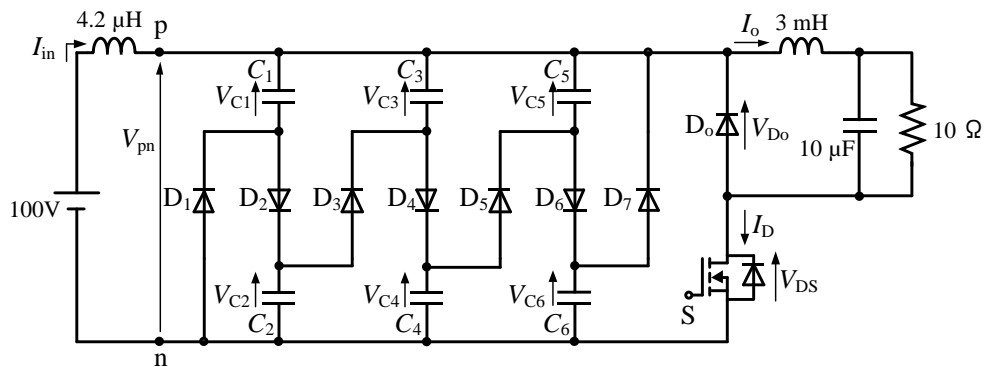


図 3.10 ハードスイッチング型バレーフィルスナバシミュレーション回路

図 3.10 に用いるバレーフィルスナバキャパシタに加わる電圧の値は、3.1 章のバレーフィルスナバの原理より、(3.8)式の電圧分担比となるかシミュレーションを行いキャパシタの値を決定する。この関係は、バレーフィルスナバキャパシタの値とは無関係に電圧分担するか、確認するために以下の条件でシミュレーションを行い、ハードスイッチング型バレーフィルスナバの動作を確認する。

- ・ バレーフィルスナバキャパシタの各キャパシタンスが等しい場合の検証

3.2 章で定めた素子パラメータのオーダ値をもとにバレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=1:1:1=3.3\ \mu\text{F}$ でシミュレーションを行い、回路動作を確認する。

- ・ バレーフィルスナバキャパシタの各キャパシタンスが異なる場合の検証

3.2 章で定めた素子パラメータのオーダ値と(3.8)式の電圧分担比から各キャパシタの電荷が等しくなるようにバレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ としてシミュレーションを行い、回路動作を確認する。

- ・ ハードスイッチング型バレーフィルスナバの電圧クランプ機能の検証

ハードスイッチング型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} に関するシミュレーションを行い、3.1 章で定式化した充電電圧と放電電圧と比較して、電圧クランプ機能を確認する。

- ・ ハードスイッチング型バレーフィルスナバのスイッチング波形の検証

ハードスイッチング型バレーフィルスナバのスイッチング波形に関するシミュレーションを行い、スイッチング時に発生する損失の傾向を確認する。

3.3.2 シミュレーション結果

シミュレーション条件より、バレーフィルスナバキャパシタの各キャパシタンスが等しい場合、異なる場合におけるハードスイッチング型バレーフィルスナバの機能に関するシミュレーション結果について述べる。

- ・ バレーフィルスナバキャパシタの各キャパシタンスが等しい場合の検証

バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=1:1:1=3.3\ \mu\text{F}$ としたときのキャパシタ電圧比の波形を図 3.11 に示す。

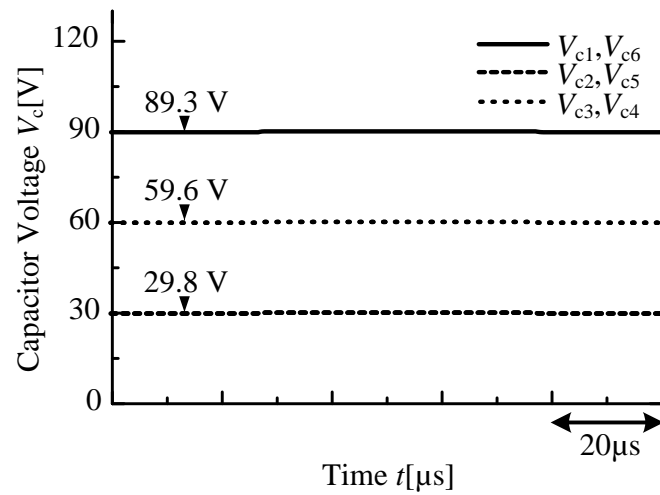
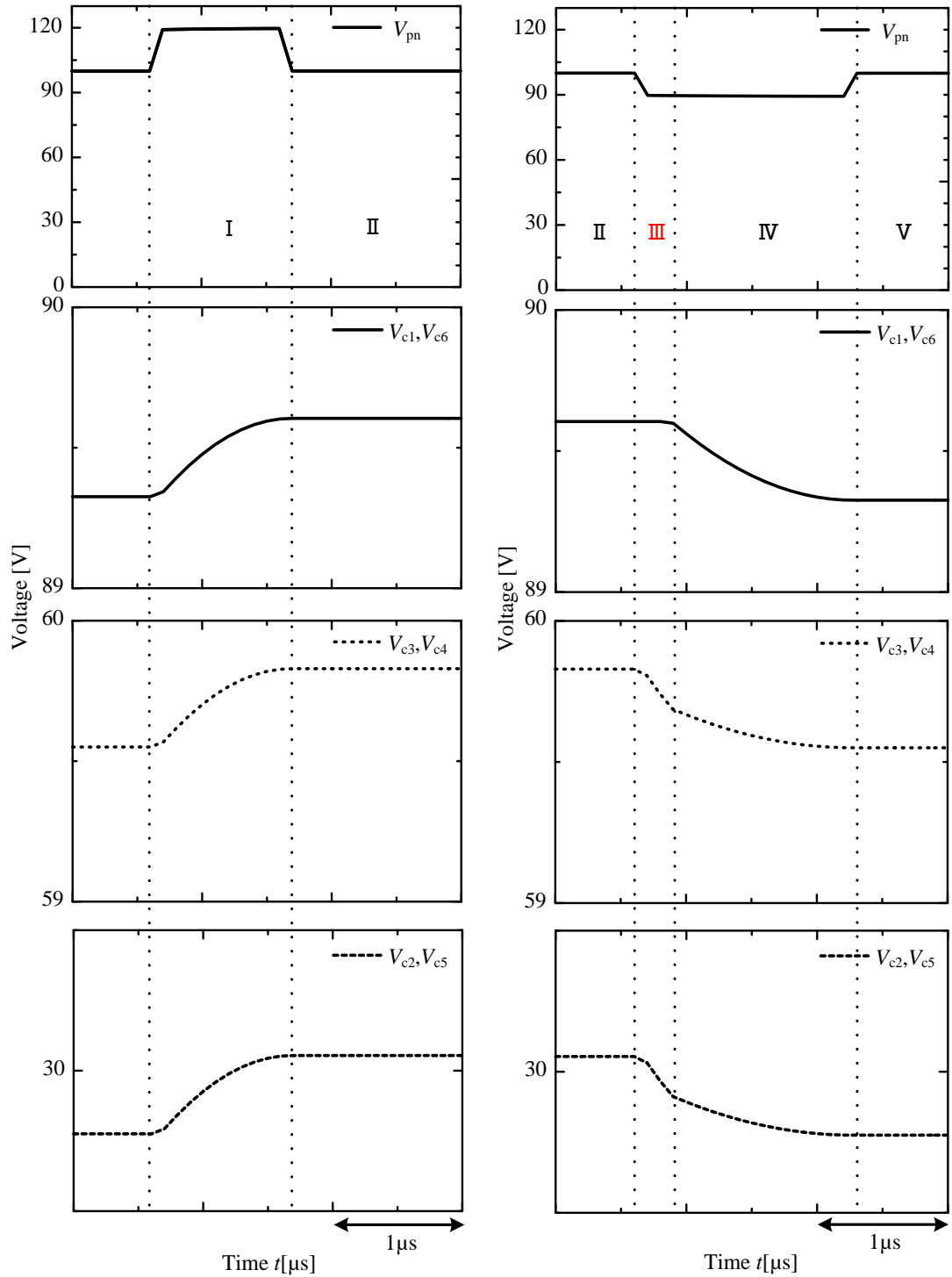


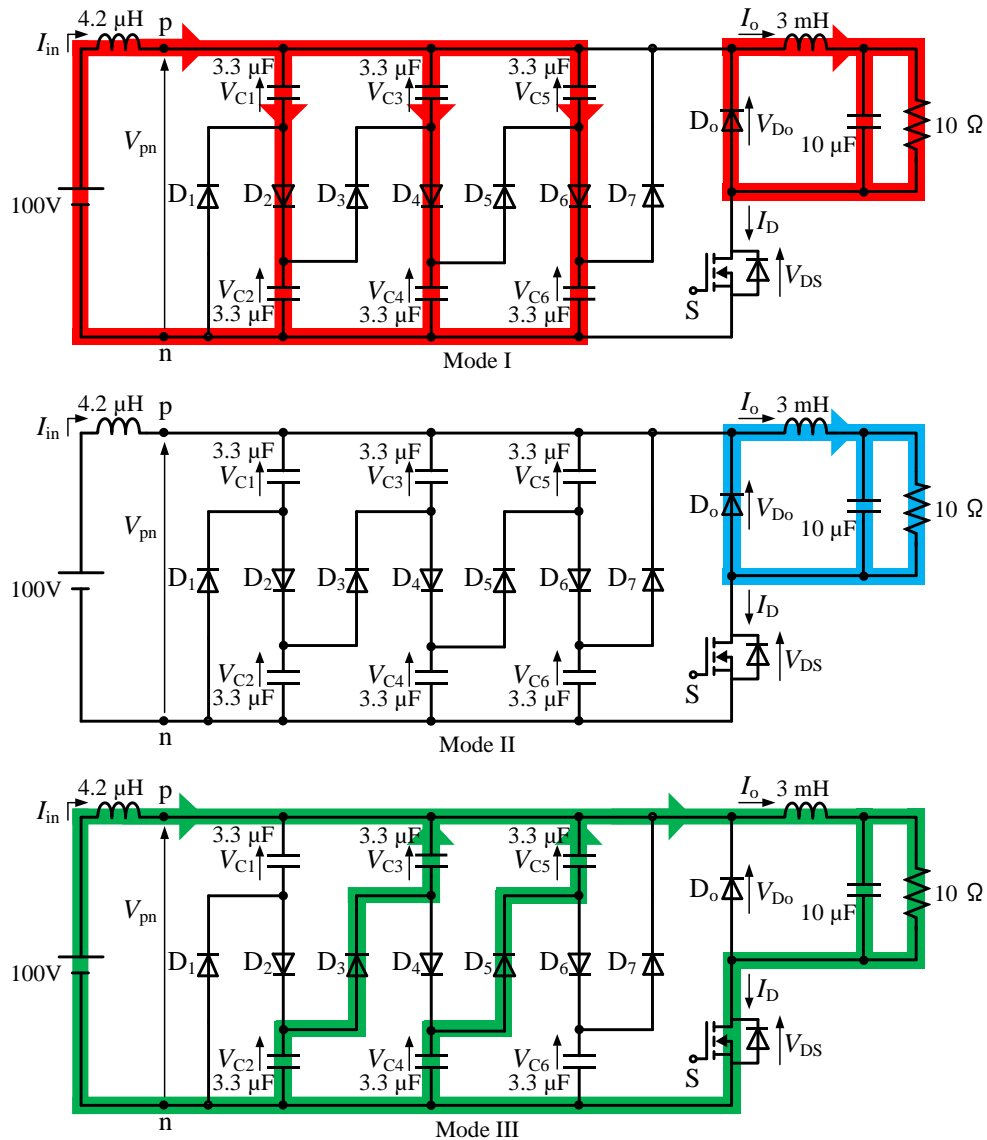
図 3.11 ハードスイッチング型バレーフィルスナバにおけるキャパシタ電圧のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)

図 3.11 より $V_{c1}, V_{c6} = 89.3 \text{ V}$ 、 $V_{c2}, V_{c5} = 29.8 \text{ V}$ 、 $V_{c3}, V_{c4} = 59.6 \text{ V}$ で電圧分担することから 3.1 章より、(3.8) 式の電圧分担比の関係と等しく $V_{c1}:V_{c2}:V_{c3}=V_{c6}:V_{c5}:V_{c4}=3:1:2$ になっていることが確認できる。次に動作原理通りの動作モードで動いているか確認を行うために、各バレーフィルスナバキャパシタの充電時と放電時の充放電電圧と時間領域を拡大した波形を図 3.12 に示す。



(a)充電時キャパシタ電圧拡大波形 (b)放電時キャパシタ電圧拡大波形
 図 3.12 ハードスイッチング型バレーフィルにおけるキャパシタ電圧の
 シミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)

図 3.12(a)をみると充電時において各キャパシタ電圧は同時に上昇していることから同時に充電されてことがわかる。しかし、図 3.12(b)をみると放電時において各キャパシタ電圧は同時に減少せず、初めに内側レグの C_2 , C_3 と C_4 , C_5 から放電し、その後全てのキャパシタから放電が行われる。バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=1:1:1=3.3 \mu\text{F}$ としたときの動作モードを図 3.13 に示す。



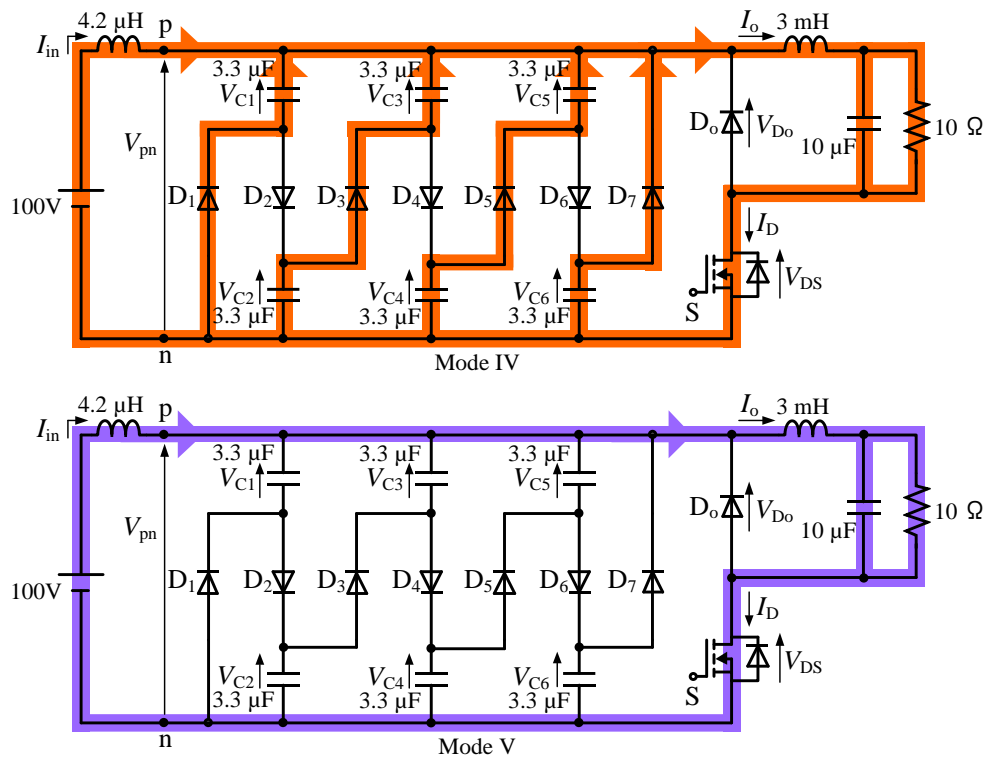
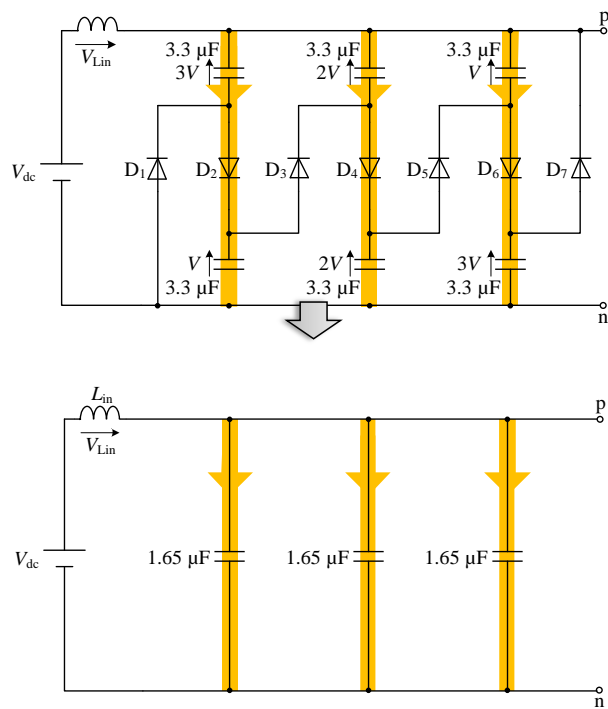


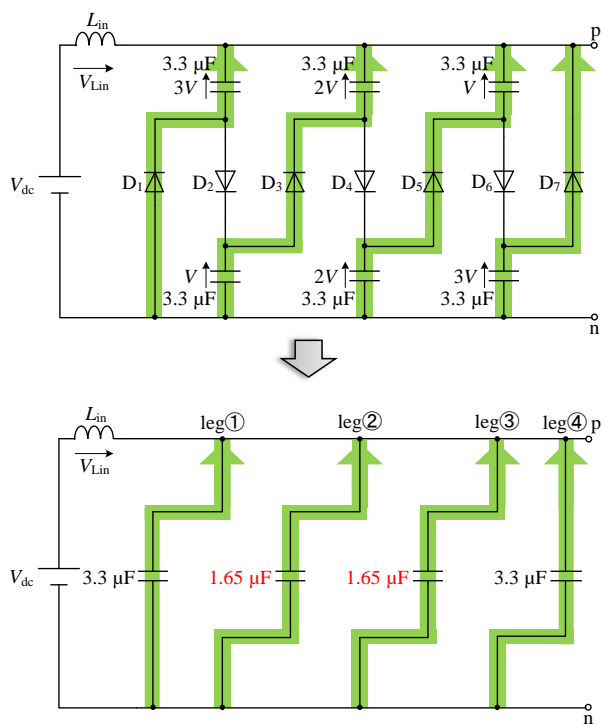
図 3.13 ハードスイッチング型バレーフィルスナバの動作モード

$$(C_1:C_2:C_3=C_6:C_5:C_4=1:1:1)$$

3.1 章のハードスイッチング型バレーフィルスナバの原理では、バレーフィルスナバの 1 周期の動作モードは Mode I ～ Mode IV の 4 つであったが、バレーフィルスナバキャパシタの値を等しくすると図 3.13 より、1 周期の動作モードは Mode I ～ Mode V の 5 つになることが判明した。この原因として充電時と放電時のキャパシタの直列・並列数が異なることによるキャパシタンスの値が変化することが影響していると考えられる。そこで充電時と放電時における各レグのキャパシタンスを計算し、充電時と放電時のキャパシタンスを比較する。図 3.14 に充電時と放電時におけるレグごとに計算した合成キャパシタンスを示す。



(a) 充電時の合成キャパシタンス



(b) 放電時キャパシタンス

図 3.14 ハードスイッチング型バレーフィルにおける各レグの合成キャパシタンス($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)

図 3.14(a)より、充電時は全てのレグの合成キャパシタンスは $1.65 \mu\text{F}$ と同じになる。図 3.14(b)より、放電時は外側のレグ①,④の合成キャパシタンスは $3.3 \mu\text{F}$ 、外側のレグ②,③の合成キャパシタンスは $1.65 \mu\text{F}$ で外側のレグと内側のレグでキャパシタンスが異なる。この結果、放電時は、外側のレグと内側のレグでキャパシタンスが不平衡となり、同時に放電されないこと確認できる。次に、この現象によるバレーフィルスナバダイオード $D_1 \sim D_7$ に与える影響について確認を行う。図 3.15 に各バレーフィルスナバダイオードの順方向電圧と順方向電流の波形を示す。

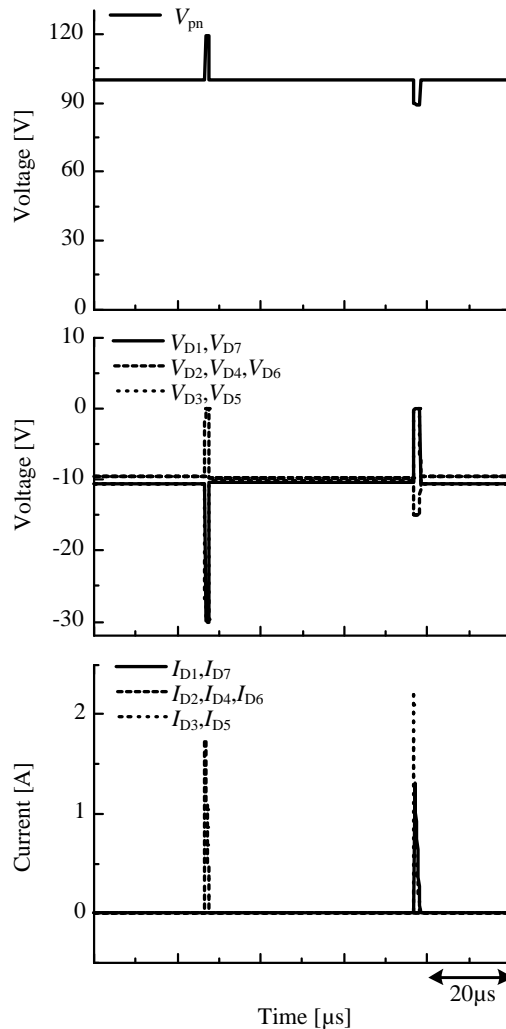


図 3.15 ハードスイッチング型バレーフィルにおける pn 間電圧、各ダイオード順方向電圧、各ダイオード順方向電流波形($C_1:C_2:C_3=C_6:C_5:C_4=1:1:1$)

図 3.15 より、充電時はバレーフィルスナバダイオード D_2 , D_4 , D_6 がオンとなり D_1 , D_3 , D_5 , D_7 がオフとなることからダイオード順方向電圧 V_{D2} , V_{D4} , V_{D6} は 0 V で V_{D1} , V_{D3} , V_{D5} , V_{D7} は逆電圧が加わる。また、ダイオード順方向電流 I_{D2} , I_{D4} , I_{D6} は 1.75 A で I_{D1} , I_{D3} , I_{D5} , I_{D7} は 0 A となる。このことから充電時においてバレーフィルスナバダイオード D_2 , D_4 , D_6 は同時にオンしていることが確認できる。

放電時はバレーフィルスナバダイオード D_1 , D_3 , D_5 , D_7 がオンとなり D_2 , D_4 , D_6 がオフとなることからダイオード順方向電圧 V_{D1} , V_{D3} , V_{D5} , V_{D7} は 0 V で V_{D2} , V_{D4} , V_{D6} は逆電圧が加わる。また、ダイオード順方向電流 I_{D1} , I_{D7} は 1.3 A、 I_{D3} , I_{D5} は 2.5 A で I_{D2} , I_{D4} , I_{D6} は 0 A となる。このことから放電時においてバレーフィルスナバダイオード D_1 , D_3 , D_5 , D_7 では先に D_1 , D_7 がオンした後に D_3 , D_5 オンしていることが確認できる。バレーフィルスナバスナバダイオードの導通タイミングに差が生じていることによってダイオードの順方向電流 I_{D3} , I_{D5} は I_{D1} , I_{D7} に対して 2 倍の電流が流れ、ほかのバレーフィルスナバダイオードと比べて D_3 , D_5 に負荷がかかってしまい他のダイオードよりも劣化しやすくなるため好ましくない。また、動作解析を行う上でより簡単な動作モードであることが望ましい。そして、動作モードが少ないほうが配線インダクタンスによるサージの影響が小さくなると考えた。以上より、各バレーフィルスナバキャパシタ持つ電荷量が異なることとなり、放電タイミングにずれが生じたことで動作モードが 1 つ増えることにともなって回路全体に悪影響を与えることが分かった。

そこで各キャパシタンスの値を変え、充電時と放電時において全てのレグの合成キャパシタンスを等しくなるように選定する。また、(3.8)式よりバレーフィルスナバキャパシタに加わる電圧比が成り立つことから各キャパシタの電荷量を算出することが可能となる。各キャパシタの電荷量を等しくすることは全てのレグの合成キャパシタンスが等しいことを意味する。次に各キャパシタの電荷量について考えると(3.10)式となる。各キャパシタの電荷量が等しい場合のキャパシタンスの関係は(3.11)式が成立する。

$$V_{c1}C_1:V_{c2}C_2:V_{c3}C_3=V_{c6}C_6:V_{c5}C_5:V_{c4}C_4=3C_1:C_2:2C_3=3C_6:C_5:2C_4 \quad (3.10)$$

$$C_1:C_2:C_3=C_6:C_5:C_4=2:6:3 \quad (3.11)$$

(3.11)式の関係より、キャパシタンスを $C_1:C_2:C_3=C_6:C_5:C_4=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ として、各キャパシタンスが等しい場合と同様にシミュレーションを行い、各キャパシタンスが異なる場合の動作について確認する。

・バレーフィルスナバキャパシタの各キャパシタンスが異なる場合の検証

バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ としたときのキャパシタ電圧比の波形を図 3.16 に示す。

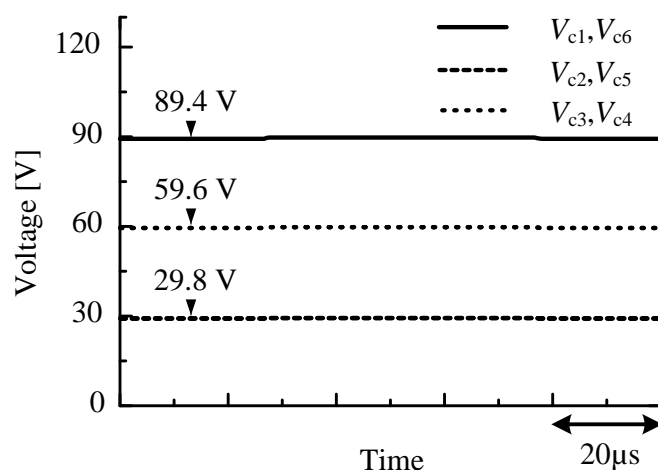
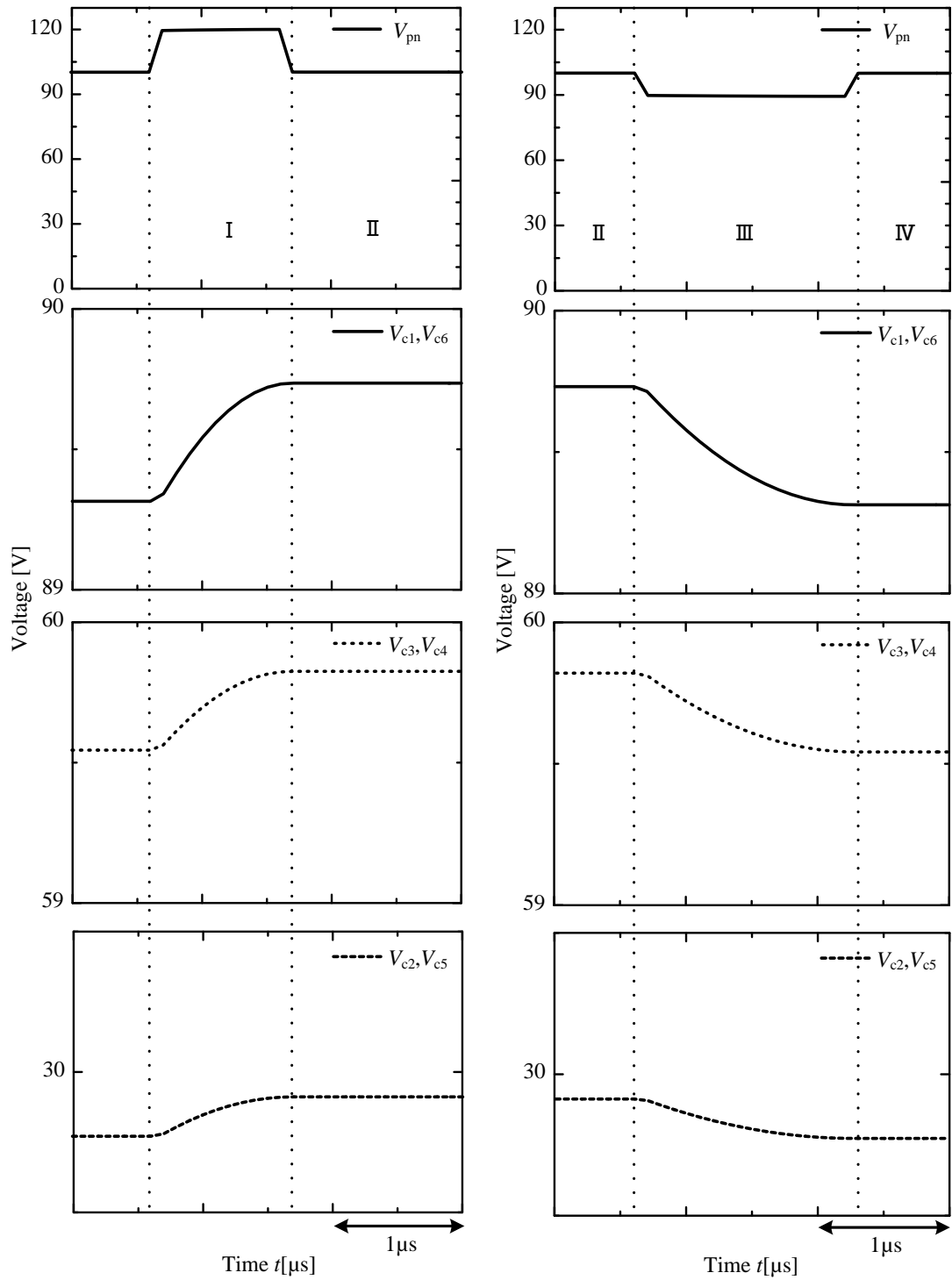


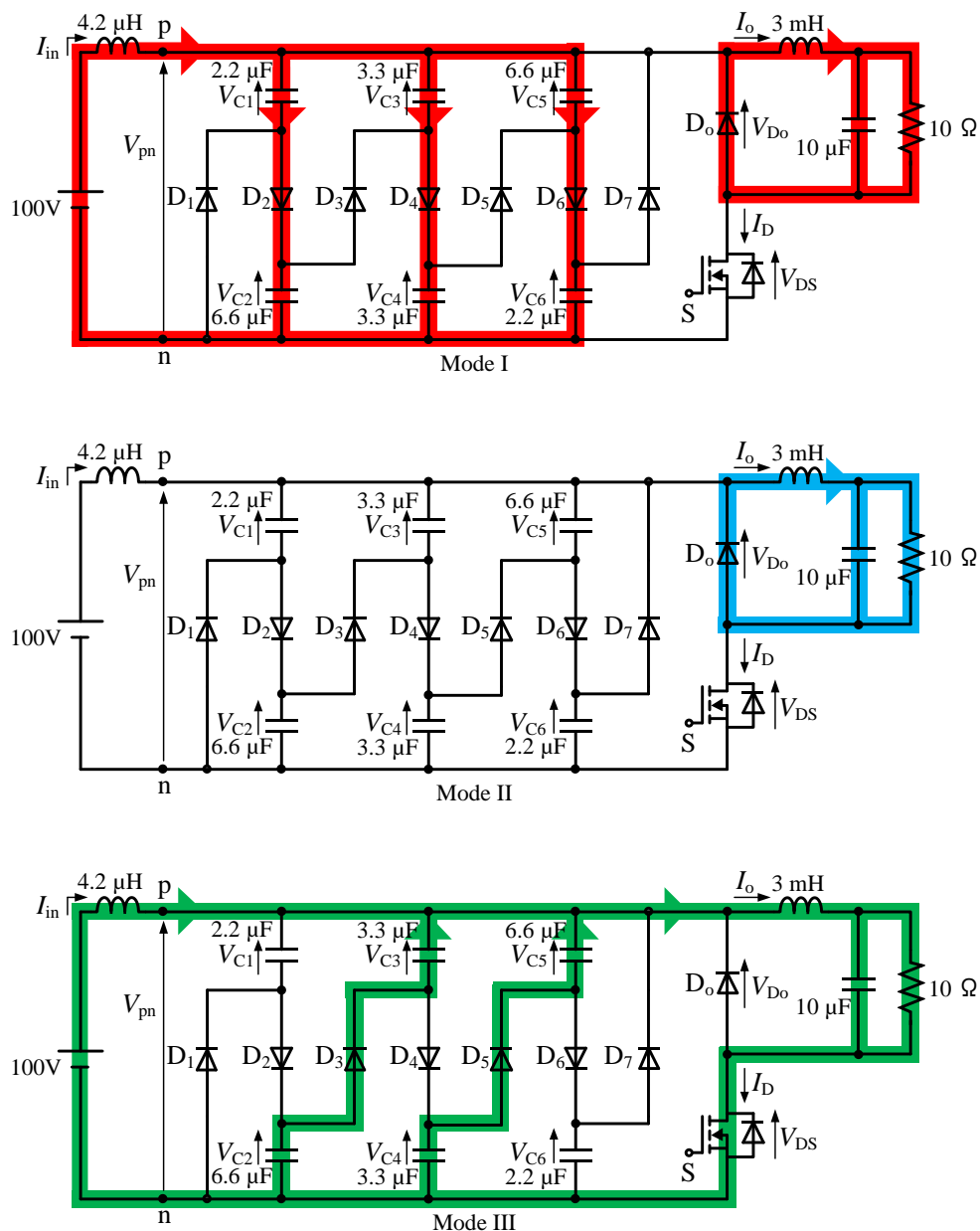
図 3.16 ハードスイッチング型バレーフィルにおけるキャパシタ電圧のシミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

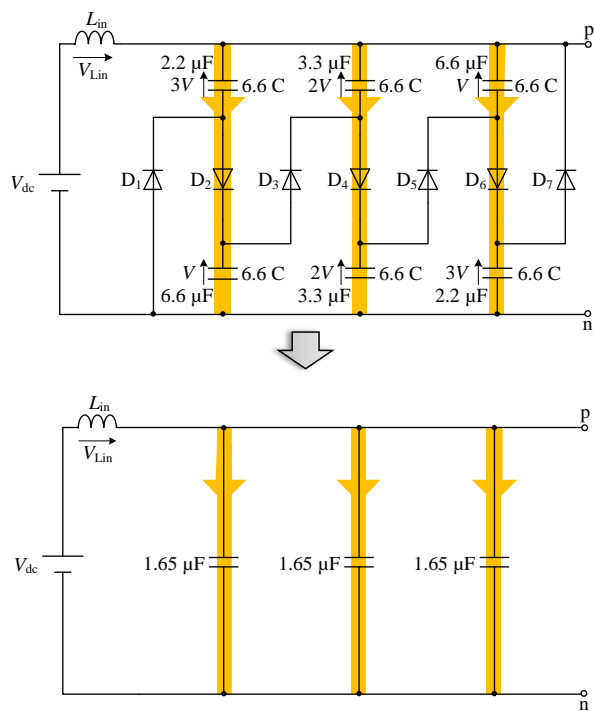
図 3.16 より $V_{c1}, V_{c6}=89.4\ \text{V}$ 、 $V_{c2}, V_{c5}=29.8\ \text{V}$ 、 $V_{c3}, V_{c4}=59.6\ \text{V}$ で電圧分担していることから 3.1 章より、(3.8)式の電圧分担比の関係と等しく $V_{c1}:V_{c2}:V_{c3}=V_{c6}:V_{c5}:V_{c4}=3:1:2$ になっていることが確認できる。次に動作原理通りの動作モードで動いているか確認を行うために、各バレーフィルスナバキャパシタの充電時と放電時の充放電電圧と時間領域を拡大した波形を図 3.17 に示す。



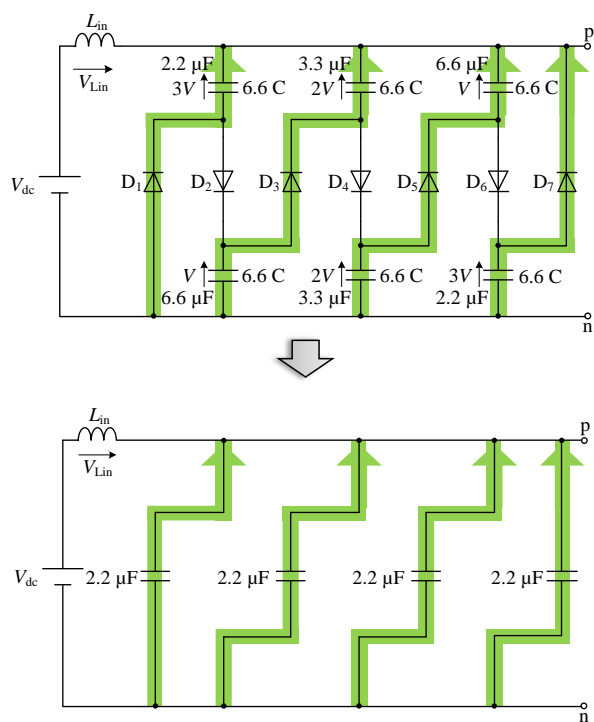
(a) 充電時キャパシタ電圧拡大波形 (b) 放電時キャパシタ電圧拡大波形
 図 3.17 ハードスイッチング型バレーフィルにおけるキャパシタ電圧の
 シミュレーション結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.17 (a)をみると充電時において各キャパシタ電圧は同時に上昇していることから同時に充電されている。図 3.17(b)をみると放電時においても各キャパシタ電圧は同時に放電が行われる。バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ としたときの動作モードを図 3.18 に示す。





(a) 充電時の合成キャパシタンス



(b) 放電時キャパシタンス

図 3.19 ハードスイッチング型バレーフィルにおける各レグの合成キャパシタンスと電荷量($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.19(a)より、充電時は全てのレグの合成キャパシタンスは $1.65 \mu\text{F}$ と同じになる。図 3.19(b)より、放電時においても全てのレグの合成キャパシタンスは $2.2 \mu\text{F}$ と同じになる。また、充電時と放電時における各キャパシタンスの電荷量は 6.6C であり、全て等しくなる。よって、バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3=2.2 \mu\text{F}:6.6 \mu\text{F}:3.3 \mu\text{F}$ とすることで充電時と放電時で各レグのキャパシタンスが平衡となり、3.1 章の動作原理通りの動きとなるため、これ以降はバレーフィルスナバキャパシタの値は $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$ 関係を満たす条件で行う。次に、バレーフィルスナバダイオード $D_1 \sim D_7$ について確認を行う。図 3.20 に各バレーフィルスナバダイオードの順方向電圧と順方向電流の波形を示す。

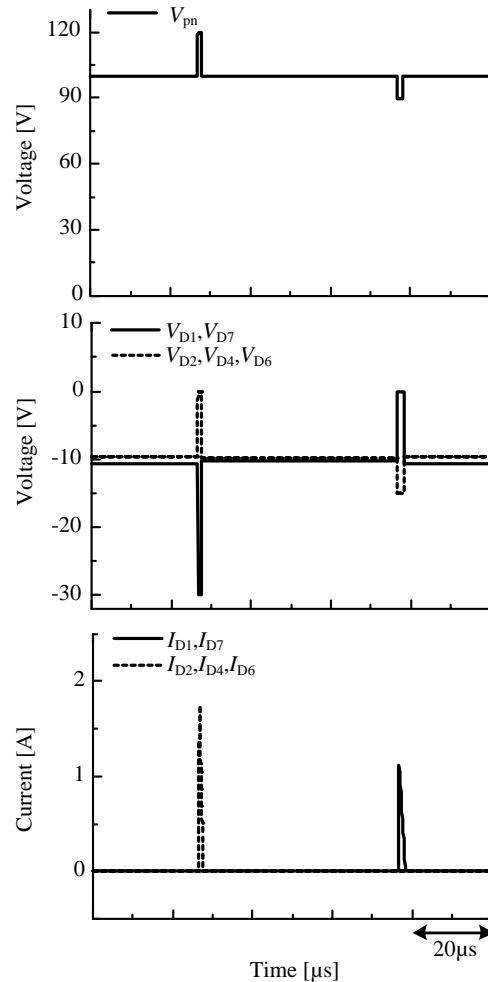


図 3.20 ハードスイッチング型バレーフィルにおける pn 間電圧、各ダイオード順方向電圧、各ダイオード順方向電流波形($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.20 より、充電時はバレーフィルスナバダイオード D_2 , D_4 , D_6 がオンとなり D_1 , D_3 , D_5 , D_7 がオフとなることからダイオード順方向電圧 V_{D2} , V_{D4} , V_{D6} は 0 V で V_{D1} , V_{D3} , V_{D5} , V_{D7} は逆電圧が加わる。また、ダイオード順方向電流 I_{D2} , I_{D4} , I_{D6} は 1.75 A で I_{D1} , I_{D3} , I_{D5} , I_{D7} は 0 A となる。このことから充電時においてバレーフィルスナバダイオード D_2 , D_4 , D_6 は同時にオンしていることが確認できる。

放電時はバレーフィルスナバダイオード D_1 , D_3 , D_5 , D_7 がオンとなり D_2 , D_4 , D_6 がオフとなることからダイオード順方向電圧 V_{D1} , V_{D3} , V_{D5} , V_{D7} は 0 V で V_{D2} , V_{D4} , V_{D6} は逆電圧が加わる。また、ダイオード順方向電流 I_{D1} , I_{D3} , I_{D5} , I_{D7} は 1.1 A で I_{D2} , I_{D4} , I_{D6} は 0 A となる。このことから放電時においてもバレーフィルスナバダイオード D_1 , D_3 , D_5 , D_7 は同時にオンしていることが確認できる。キャパシタンスが同じ場合は、同時に動作していなかったが、各キャパシタンスを $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$ にすることで電荷量が等しくなり同時に動作することが分かった。以上より、各キャパシタンスを $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$ の関係にすることで 3.1 章の動作原理通りの動きをシミュレーションで行えることが可能となる。

・ハードスイッチング型バレーフィルスナバの電圧クランプ機能の検証

ハードスイッチング型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} とスイッチング素子 S のドレイン-ソース電圧 V_{DS} の波形を図 3.21 示す。

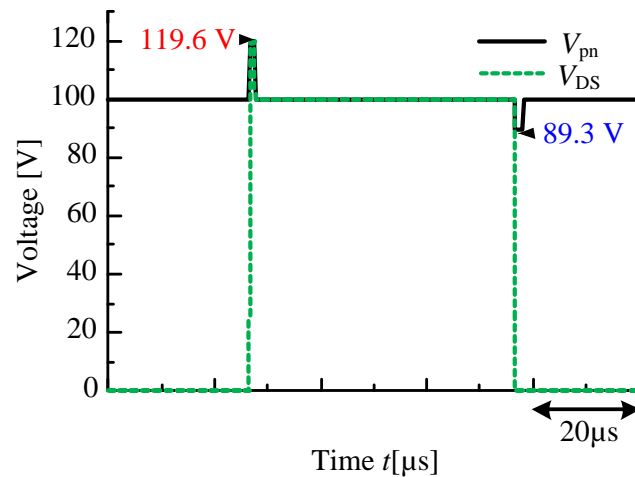


図 3.21 ハードスイッチング型バレーフィルにおける直流バスとドレイン-ソース電圧のシミュレーション結果

図 3.21 より、pn 間の直流バス電圧 V_{pn} をみると充電電圧は 119.6 V、放電電圧は 89.3 V でクランプされていることが確認できる。3.1 章で導出した(3.6)、(3.7)式より入力電圧 100 V で計算すると充電電圧理論値は 116.6 V、放電電圧理論値は 87.5 V となる。これらより、充電時と放電時にクランプされる電圧は、シミュレーションと理論値を比較するとほぼ等しいことが確認できる。若干の差異に関しては理論式の導出時に用いた(3.4)式の入力電流の減少・増加量が等しいと近似したことにより差が生じたと考えられる。そこで、入力電流の増減量に関するシミュレーション結果を図 3.22 に示す。

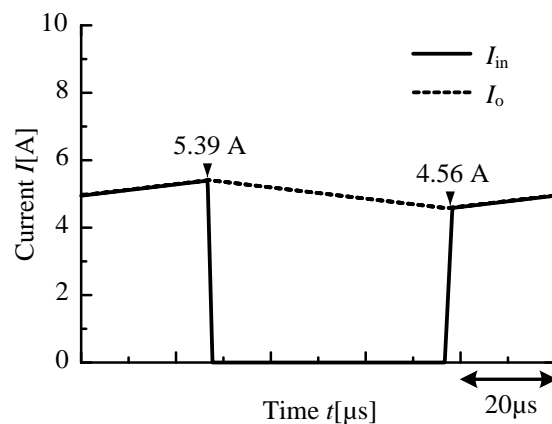


図 3.22 ハードスイッチング型バレーフィルにおける入力・出力電流のシミュレーション結果

図 3.22 は、入力電流、負荷電流の波形を示したもので電流リプルが 0.83 A 生じていることが確認できる。この結果より、充電時と放電時にクランプする電圧の若干が生じる原因については解明できる。現段階では、この程度の差異は許容範囲とする。以上より、ハードスイッチング型バレーフィルスナバに電圧クランプ機能が備わっていることが確認できる。

・ハードスイッチング型バレーフィルスナバのスイッチング波形の検証

ハードスイッチング型バレーフィルスナバのスイッチング波形を図 3.23 に示す。

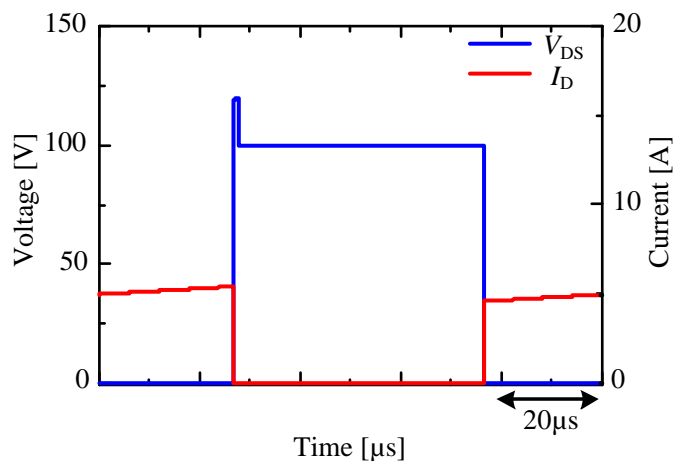


図 3.23 ハードスイッチング型バレーフィルにおけるスイッチング素子 S に関するスイッチング波形

図 3.23 はスイッチング素子 S の電圧・電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 3.24(a)、(b) に示す。

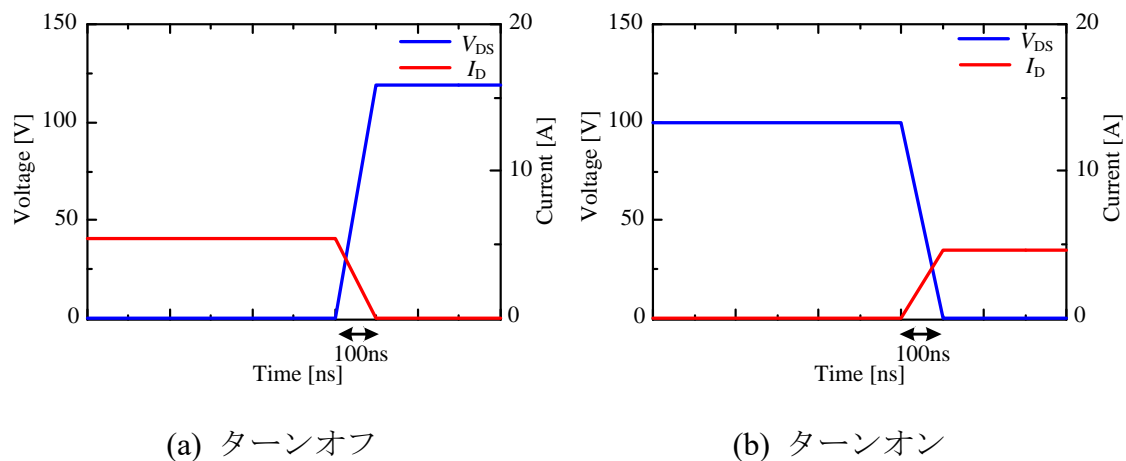


図 3.24 スイッチング素子 S のスイッチング時拡大波形

図 3.24(a)はスイッチング素子 S のターンオフ時の電圧・電流波形であり、スイッチング時間 100 ns の間に電圧と電流の重なりが生じており、スイッチング損失が発生する。図 3.24(b)はスイッチング素子 S のターンオン時の電圧・電流波形であり、ターンオフ時と同様にスイッチング時間 100 ns の間にスイッチング損失が発生することが確認できる。100 ns の間において重なりが生じた原因について、シミュレーションに用いた PSIM は、サンプリング時間を設定し、サンプリング時間間隔でプロットを行うものであるため、設定したサンプリング時間で重なりが生じるものと考えられる。今回は、サンプリング時間を 100 ns としたため、このような結果が得られた。このことからサンプリング時間を短くすることで、電圧と電流の重なる時間は短くなると考えられるが、一般的に使用されるスイッチングデバイスのスイッチング時間は数十 ns ～ 数百 ns であることから、サンプリング時間を 100 ns としてシミュレーションを行った。以上より、ハードスイッチング型バレーフィルスナバでは、スイッチング損失が発生することが確認できる。

3.4 実験装置の製作

シミュレーションの結果をもとに実験検証を行うための実験装置の製作について述べる。シミュレーションと同様に降圧チョッパ回路において実験検証を

するために素子の選定、配線設計、熱設計、基板設計を行う。

3.4.1 装置構成

ハードスイッチング型バレーフィルスナバの実験検証に向けて装置の構成や実機製作に用いる素子について述べる。図 3.25 にハードスイッチング型バレーフィルスナバの回路図を示す。

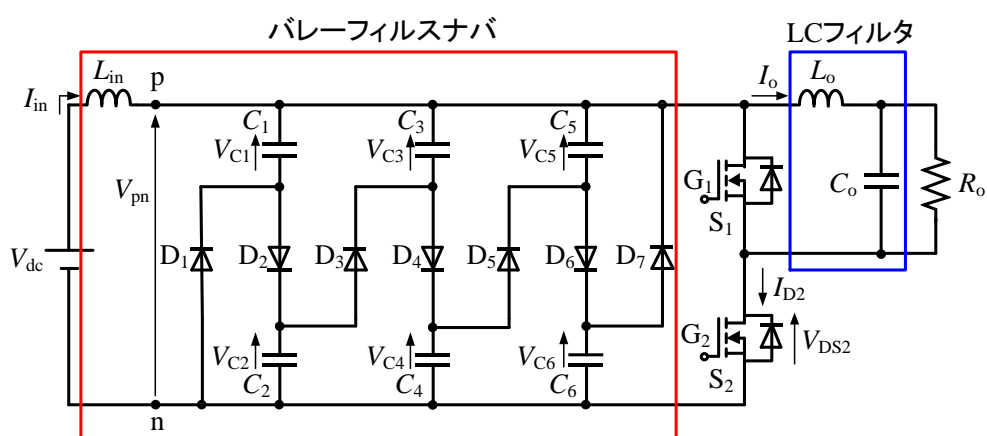


図 3.25 ハードスイッチング型バレーフィルスナバの回路図

図 3.25 に用いる素子のパラメータを表 3.2 に示す。

表 3.2 ハードスイッチング型バレーフィルにおける実験回路パラメータ

| Devices | Maximum ratings | Value or types |
|--|------------------------------------|----------------|
| Input Inductor L_{in} | | 4.2 μ H |
| Capacitors of Valley-fill snubber C_1, C_6 | 315 V | 2.2 μ F |
| Capacitors of Valley-fill snubber C_2, C_5 | 315 V | 6.6 μ F |
| Capacitors of Valley-fill snubber C_3, C_4 | 315 V | 3.3 μ F |
| Diode of Valley-fill snubber $D_1 \sim D_7$ | V_R : 1.2 kV I_F : 14 A | C4D10120A |
| Inductor of LC Filter L_o | | 3 mH |
| Capacitor of LC Filter C_o | 500 V | 10 μ F |
| Output Resistance R_o | 3 kW | 10 Ω |
| SiC Half-Bridge S_1 and S_2 | V_{DS} : 1.2 kV I_D : 193 A | CAS120M12BM2 |
| SiC MOSFET Driver | | CGD15HB62P1 |

表 3.2 に示す実験回路に用いる素子を選定した素子の詳細について述べる。

・入力インダクタ L_{in}

入力インダクタ L_{in} の選定に関して、3.2 章で述べたオーダとシミュレーションの結果より、 $L_{in} = 4.2 \mu\text{H}$ のインダクタを自作して使用する。

・バレーフィルスナバキャパシタ $C_1 \sim C_6$

バレーフィルスナバキャパシタ $C_1 \sim C_6$ の選定に関して、3.2 章で述べたオーダとシミュレーションの結果より、 $C_1, C_6 = 2.2 \mu\text{H}$ 、 $C_2, C_5 = 6.6 \mu\text{H}$ 、 $C_3, C_4 = 3.3 \mu\text{H}$ 、耐圧 315 V の日本ケミコン製のフィルコンデンサを使用する。

・バレーフィルスナバダイオード $D_1 \sim D_7$

バレーフィルスナバダイオード $D_1 \sim D_7$ の選定に関して、3.2 章で述べた特徴

とシミュレーションの結果より、ダイオードには数十 A の電流が流れるため、定格 1.2 kV、14 A の CREE 製のショットキーバリアダイオードを使用する。定格電圧が高い理由に関して、現在生産されている数十 A 級のショットキーバリアダイオードは、低耐圧のものがいないため、概形が小型な定格電圧 1.2 kV のものを選んだ。

・ LC フィルタに用いる出力インダクタ L_o

出力インダクタ L_o の選定に関して、3.2 章で述べた LC フィルタの設計とシミュレーションの結果より、 $L_o = 3 \text{ mH}$ 、定格電流 15 A のポニー電機製のインダクタを使用する。

・ LC フィルタに用いる出力キャパシタ C_o

出力キャパシタ C_o の選定に関して、3.2 章で述べた LC フィルタの設計とシミュレーションの結果より、 $C_o = 10 \text{ }\mu\text{F}$ 、定格電圧 250 V のパナソニック製のキャパシタを使用する。

・ 出力抵抗 R_o

出力抵抗 R_o の選定に関して、3.2 章で述べた特徴とシミュレーションの結果より、 $R_o = 10 \text{ }\Omega$ の山菱電機製の負荷抵抗器を使用する。

・ スイッチング素子 S_1 と S_2

スイッチング素子 S の選定に関して、CREE 製の SiC-MOSFET のハーフブリッジモジュール(CAS120M12BM2)を使用する。図 3.26、図 3.27 に内部回路図と実物写真を示す。

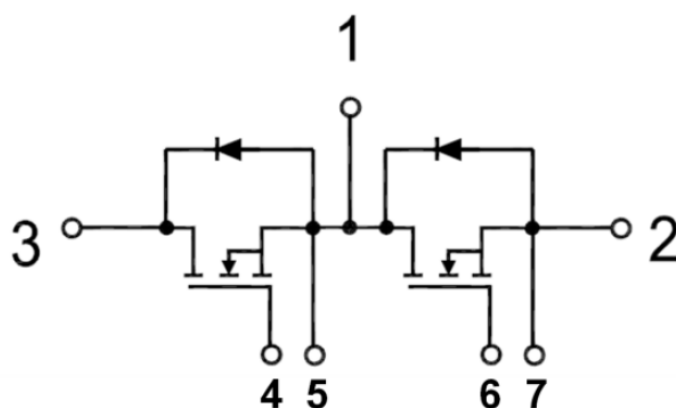


図 3.26 SiC Half-Bridge (CAS120M12BM2)の内部回路図



図 3.27 SiC Half-Bridge (CAS120M12BM2)の実物写真

図 3.26、図 3.27 より、1つのモジュールに2つの SiC-MOSFET が搭載されていることがわかる。降圧チョッパ回路に用いる場合は、上アームのスイッチは常にオフ状態にし、ボディダイオードを出力ダイオードの代わりとして使用する。

3.4.2 駆動回路構成

駆動回路については、装置構成で述べた CREE 製の SiC-MOSFET に適した駆動電圧 $-5/+20\text{ V}$ の純正の駆動回路 SiC MOSFET Driver (CGD15HB62P1) を使用する。図 3.28、図 3.29 にブロック図と実物写真を示す。

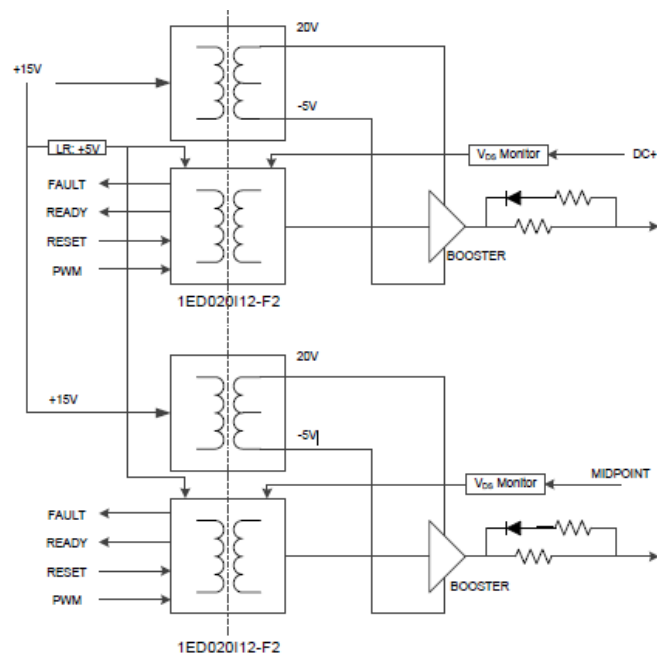


図 3.28 SiC MOSFET Driver(CGD15HB62P1)のブロック図



図 3.29 SiC MOSFET Driver(CGD15HB62P1)の実物写真

図 3.28、図 3.29 より、1 つの基盤に 2 つのゲート駆動回路が搭載されていることがわかる。降圧チョッパ回路に用いる場合は、上アームに対応する駆動回路を開放状態として使用する。

3.4.3 熱設計とヒートシンクの選定

実験検証に向けて選定したスイッチング素子をハードスイッチング型バレーフィルスナバ回路で動作させたときに発生する熱の計算と冷却に用いるヒートシンクの選定を行う。

熱設計を行うために必要なパラメータはスイッチングデバイスの損失であり、SiC-MOSFET を対象にした場合は SiC-MOSFET の導通損失 $P_{\text{cond-MOS}}$ 、スイッチング損失 P_{sw} 、還流ダイオードの導通損失 $P_{\text{cond-FWD}}$ 、逆回復リカバリ損失 $P_{\text{rr-FWD}}$ の 4 つの損失の合計値で表せる。

現段階では、降圧チョッパ回路での動作を行うが今後、三相 PWM インバータへの応用を考えており、熱設計は三相 PWM インバータで行う。なお、降圧チョッパ回路ではデバイス 1 つ分と想定する。

PWM 変調を用いた三相回路の場合、スイッチング素子の電流と還流ダイオードの電流波形が複雑となり、矩形波駆動と比べ損失解析は困難となる。そこで三相 PWM インバータの導通損失を計算するため、スイッチング素子側と還流ダイオード側の電流実効値を求める必要がある。図 3.30 に SiC-MOSFET に関する電流方向、図 3.31 に三相 PWM インバータ、一相分のスイッチング素子側の電流波形と還流ダイオード側の電流波形を示す[16]。

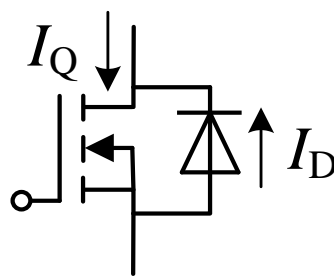


図 3.30 SiC-MOSFE に関する電流方向

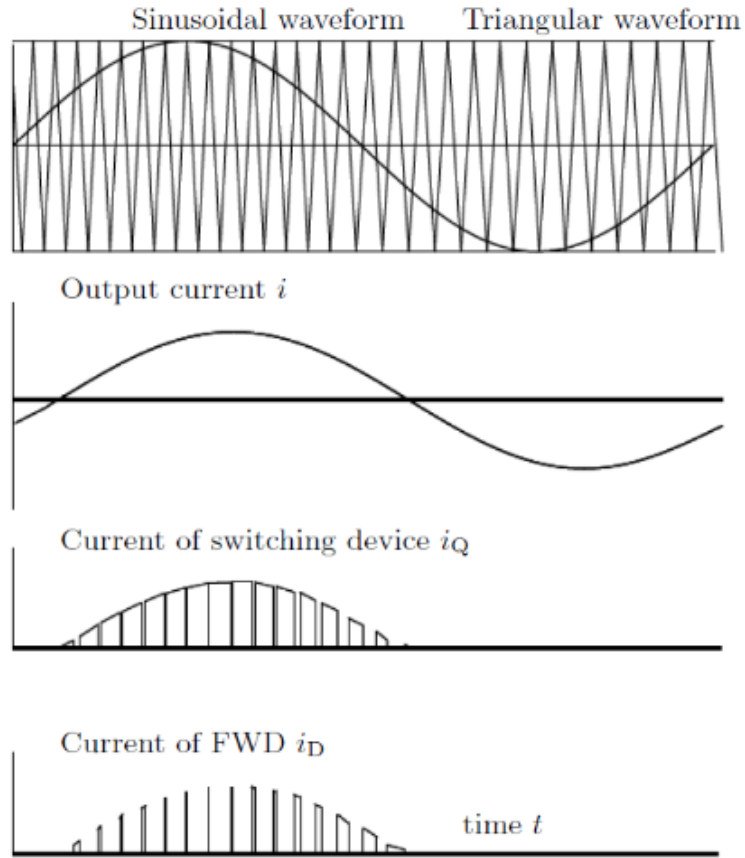


図 3.31 PWM インバータの電流波形

図 3.31のスイッチング素子側と還流ダイオード側の電流通流率はインバータの変調率 m や力率 $\cos\Phi$ の違いにより変化する。

スイッチング素子にSiC-MOSFEを用いた場合、SiC-MOSFETの導通損失 $P_{\text{cond-MOS}}$ はオン抵抗 R_{DS} と導通する電流実効値 $I_{\text{Q-RMS}}$ より(3.12)式で示し、スイッチング損失 P_{sw} についてはキャリア周波数 f_{carr} と相電流のピーク値におけるスイッチングのジュール損 E_{MAX} と円周率 π を用いて(3.13)式で示す。

$$P_{\text{cond-MOS}} = R_{\text{DS}} \cdot I_{\text{Q-RMS}}^2 \quad (3.12)$$

$$P_{\text{sw}} = \frac{f_{\text{carr}} \cdot E_{\text{MAX}}}{\pi} \quad (3.13)$$

SiC-MOSFETを導通する電流実効値 I_{Q_RMS} については、インバータの変調率 m 、力率 $\cos\Phi$ 、相電流 $i(t)=I_{o_MAX}\sin\Phi$ の最大値 I_{o_MAX} の値を用いて(3.14)式に示す。

$$I_{Q_RMS} = I_{o_MAX} \sqrt{\frac{1}{8} + \frac{m \cos \Phi}{3\pi}} \quad (3.14)$$

還流ダイオードの導通損失 $P_{cond-FWD}$ は電圧降下 V_{D_FWD} と電流平均値 I_{D_AVE} の積により(3.15)式に示す。

$$P_{cond-FWD} = V_{D-FWD} \cdot I_{D_AVE} \quad (3.15)$$

ダイオードを導通する平均電流 I_{D_MAX} はインバータの変調率 m 、力率 $\cos\Phi$ 、相電流の最大値 I_{o_MAX} の値を用いて(3.16)式に示す。

$$I_{D_AVE} = I_{o_MAX} \left(\frac{1}{2\pi} - \frac{m \cos \Phi}{8} \right) \quad (3.16)$$

また、逆回復リカバリ損失 P_{rr-FWD} についてはキャリア周波数 f_{carr} 相電流のピーク値における逆回復リカバリによるジュール損 E_{rr_MAX} と円周率 π を用いて(3.17)式に示す。

$$P_{rr-FWD} = \frac{f_{carr} \cdot E_{rr_MAX}}{\pi} \quad (3.17)$$

ジュール損 E_{rr_MAX} については、試験データが必要であるため、概算することができない。また、リカバリ損失 P_{rr-FWD} は極めて小さいため、無視する。

本来は導通損失 $P_{cond-MOS} = V_Q \cdot I_{Q_AVE} + R_{DS} \cdot I_{Q_RMS}^2$ 、還流ダイオード損失 $P_{cond-FWD} = V_{D-FWD} \cdot I_{D_AVE} + R_D \cdot I_{D_RMS}^2$ であるが、SiC-MOSFETの V_Q と還流ダイオードの内部抵抗 R_D は無視できるほど小さいため、本研究では(3.12)式と(3.15)式のように

近似している。

(3.12)、(3.13)、(3.15)式より計算すると

SiC-MOSFET の導通損失

$$P_{\text{cond-MOS}} = R_{\text{DS}} \times I_{\text{Q-RMS}}^2 = 13 \times 10^{-3} \times 1.83^2 = 43.7 \text{ mW}$$

SiC-MOSFET のスイッチング損失

$$P_{\text{sw}} = \frac{f_{\text{carr}} \times E_{\text{MAX}}}{\pi} = \frac{10 \times 10^3 \times 1.1 \times 10^{-3}}{\pi} = 3.5 \text{ W}$$

還流ダイオードの導通損失

$$P_{\text{cond-FWD}} = V_{\text{D-FWD}} \times I_{\text{D-AVE}} = 2.4 \times 0.23 = 0.568 \text{ W}$$

となる。1つのモジュールには SiC-MOSFET が2つ入っているので1モジュールあたりの損失は

$$(P_{\text{cond-MOS}} + P_{\text{sw}} + P_{\text{cond-FWD}}) \times 2 = (0.0437 + 3.5 + 0.568) \times 2 = 8.22 \text{ W}$$

となる。

次にスイッチングデバイス動作時の熱を放熱するためのヒートシンクの選定を行う。ヒートシンクの選定は SiC-MOSFET のジャンクション温度 T_{jC} が SiC-MOSFET の動作温度を超えないように設計する。今回は1つのヒートシンクに2つのモジュールを搭載できるヒートシンク 30F138L150 を使用することを想定してスイッチングデバイスが動作可能な損失範囲であるかを検討する。

ヒートシンク 30F138L150 は空冷の場合、熱抵抗 R_{heat} は $1.7 \text{ }^{\circ}\text{C/W}$ となる。データシートからパッケージの熱抵抗 R_{jC} は $0.135 \text{ }^{\circ}\text{C/W}$ 、パッケージからヒートシンクまでの熱抵抗 $R_{\text{jC-heat}}$ は 1.04 、SiC-MOSFET のジャンクション温度 T_{jC} は $125 \text{ }^{\circ}\text{C}$ である。また、外気温度 T_{a} は $25 \text{ }^{\circ}\text{C}$ とするとヒートシンクの設計式を(3.18)式で示す。

$$T_{\text{jC}} - T_{\text{a}} = (R_{\text{jC}} + R_{\text{jC-heat}} + R_{\text{heat}}) \times P \quad (3.18)$$

(3.18)式より計算すると

$$\begin{aligned} 125 - 25 &= (0.135 + 1.04 + 1.7) \times P \\ P &= \frac{(125 - 25)}{(0.135 + 1.04 + 1.7)} = \frac{100}{2.875} = 34.8 \text{ W} \end{aligned}$$

ヒートシンク 1 つに対して 2 つのモジュールを装着するので 1 モジュールあたりの許容損失は半分の 17.4 W となる。

1 モジュールあたりの損失は熱設計での試算より、8.22 W であり、ヒートシンク 30F138L150 は十分にモジュールの熱を放熱することが可能である。

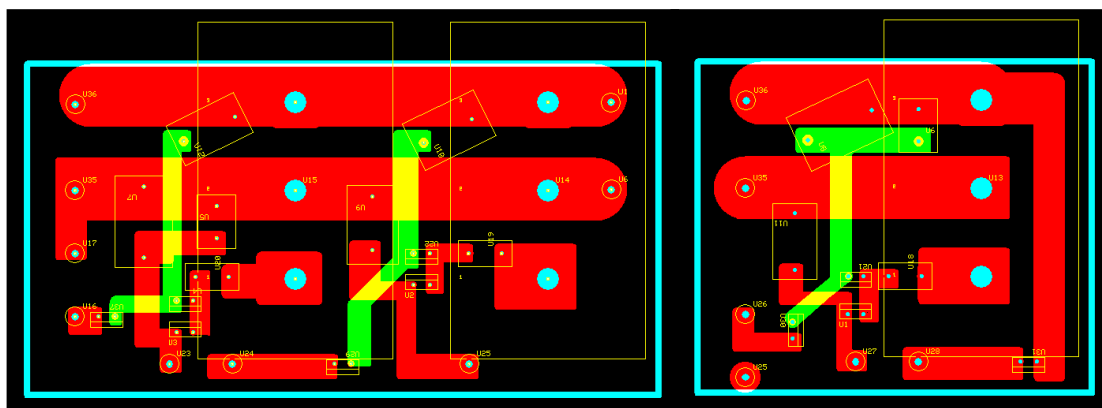
3.4.4 基板製作

実験検証に向けてハードスイッチング型バレーフィルスナバ回路の基板製作について述べる。基板製作には、ユニクラフト株式会社製の基板作成ソフト Opuser を用いて基板設計を行う。図 3.32 にハードスイッチング型バレーフィルスナバ基板の配線図を示す。基板加工機の加工範囲の関係上 1 枚の基板に収めることができなかったため、分割して基板設計を行う。

基板サイズは、基板上にバレーフィルスナバと三相分のパワーデバイスを配置できるように 1 枚目が縦 105 mm、横 200 mm、2 枚目が縦 105 mm、横 125 mm の両面基板を使用する。

配線の太さは、発熱による断線を防ぐため、1 A/mm 以上の配線幅を持つようにし、配線間隔は絶縁保護のため、2 mm 以上の幅で設計する[17][18]。また、定電圧ラインはノイズの発生を防ぐように配線幅が大きくなるように設計する。

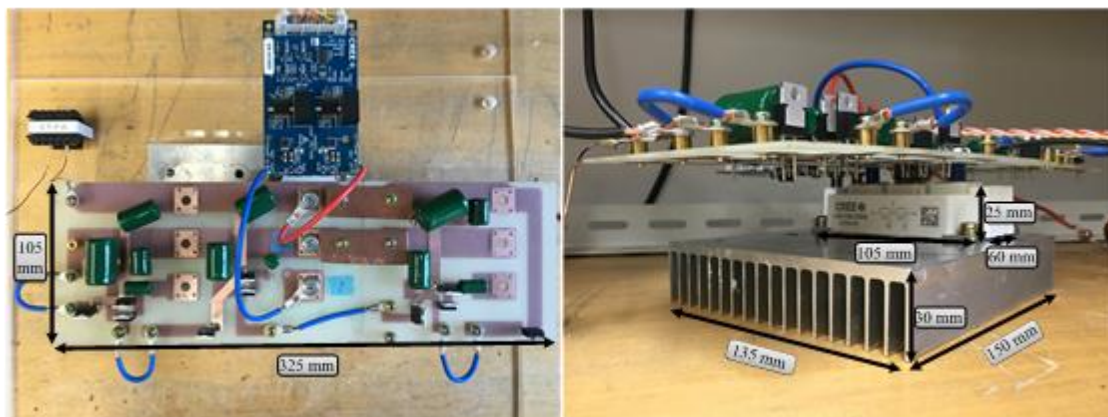
現段階では、バレーフィルスナバを適用した降圧チョッパ回路の製作を行うが、今後三相 PWM インバータに拡張することを考えており、基板には 3 つの SiC Half Bridge モジュールを取り付けられるように製作する。図 3.33 に製作した実機回路の写真を示す。



(a) 分割基盤 1 枚目

(b) 分割基盤 2 枚目

図 3.32 ハードスイッチング型バレーフィルスナバ回路の PCB レイアウト



(a) 上面

(b) 横面

図 3.33 ハードスイッチング型バレーフィルスナバの実機回路写真

図 3.33 より、選定した素子とデバイスが基板上に実装されていることがわかる。次に、この回路を用いて実験検証を行い、ハードスイッチング型バレーフィルスナバの電圧クランプ機能を確認する。

3.5 実験による評価

基盤実装したハードスイッチング型バレーフィルスナバにおける実験結果について述べる。

3.5.1 実験条件

実験条件と評価方法について述べる。ここでは、シミュレーション結果と実験結果を比較することで、ハードスイッチング型バレーフィルスナバの動作の確認と電圧クランプ機能を評価する。

表 3.3 に実験回路パラメータと実験回路を図 3.34 に示す。

表 3.3 ハードスイッチング型バレーフィルにおける実験回路パラメータ

| Devices | Value |
|------------------------|--------|
| Input Voltage V_{dc} | 100 V |
| Input Power P_{in} | 250 W |
| Duty ratio d | 0.5 |
| Gate Frequency f_g | 10 kHz |

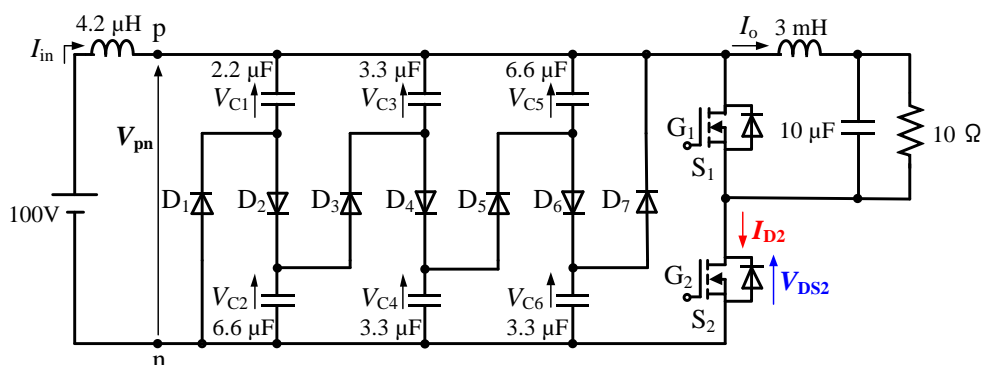


図 3.34 ハードスイッチング型バレーフィルスナバの実験回路

図 3.34 に用いるスイッチ S_1 、 S_2 を動作させるためのゲート電圧の確認をしたのちにシミュレーションで観測した波形と同様の箇所を測定する。シミュレーションと同様に以下の条件で実験検証を行い、ハードスイッチング型バレーフィルスナバの回路動作と電圧クランプ機能を確認する。

・ハードスイッチン型バレーフィルスナバのゲート電圧の検証

スイッチ S_1 、 S_2 を動作させるためのゲート電圧を確認する。

- ・ バレーフィルスナバキャパシタの各キャパシタンスが異なる場合の検証

3.4 章で決定した素子パラメータからバレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2:6:3=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ として実験検証を行い、回路動作を確認する。

- ・ ハードスイッチング型バレーフィルスナバの電圧クランプ機能の検証

ハードスイッチング型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} に関する実験検証を行い、3.1 章で定式化した充電電圧と放電電圧と比較して、電圧クランプ機能を確認する。

- ・ ハードスイッチング型バレーフィルスナバのスイッチング波形の検証

ハードスイッチング型バレーフィルスナバにおけるスイッチング波形の実験検証を行い、スイッチング時に発生する損失の傾向を確認する。

3.5.2 実験結果

実験条件より、スイッチ S_1 、 S_2 を動作させるためのゲート電圧とバレーフィルスナバキャパシタの各キャパシタンスが異なる場合の実験結果について述べる。

純正の駆動回路で生成されるゲート電圧波形を図 3.35 に示す。

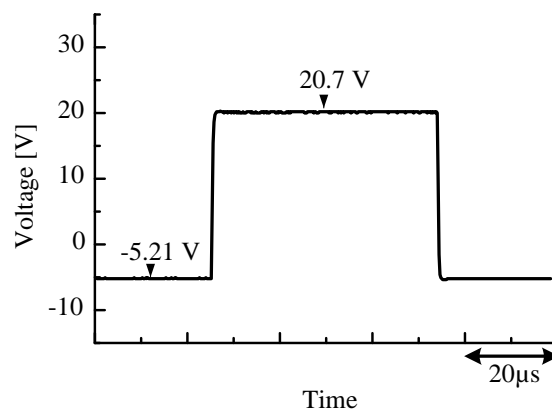


図 3.35 ゲート電圧の実測結果

図 3.35 よりゲート電圧は-5.21 / +20.7 V の矩形波となっていることが観測できる。今回用いるスイッチング素子 SiC Half-Bridge (CAS120M12BM2)の駆動電圧は-5 / +20 V であるため、生成したゲート電圧でスイッチング素子を動作させることが可能である。

・バレーフィルスナバキャパシタの各キャパシタンスが等しい場合の検証

バレーフィルスナバキャパシタの値を $C_1:C_2:C_3=C_6:C_5:C_4=2.2\ \mu\text{F}:6.6\ \mu\text{F}:3.3\ \mu\text{F}$ としたときのキャパシタ電圧比の波形を図 3.36 に示す。

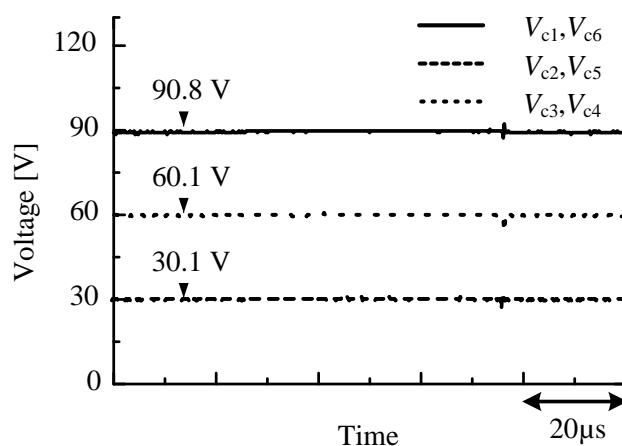


図 3.36 キャパシタ電圧の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.36 より $V_{c1}, V_{c6}=90.8\ \text{V}$ 、 $V_{c2}, V_{c5}=30.1\ \text{V}$ 、 $V_{c3}, V_{c4}=60.1\ \text{V}$ で電圧分担していることから 3.1 章より、(3.8)式の電圧分担比の関係と等しく $V_{c1}:V_{c2}:V_{c3}=V_{c6}:V_{c5}:V_{c4}=3:1:2$ になっていることが確認できる。

・ハードスイッチン型バレーフィルスナバの電圧クランプ機能の検証

ハードスイッチン型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} とスイッチング素子 S のドレイン-ソース電圧 V_{DS} の実験波形を図 3.37 に示す。

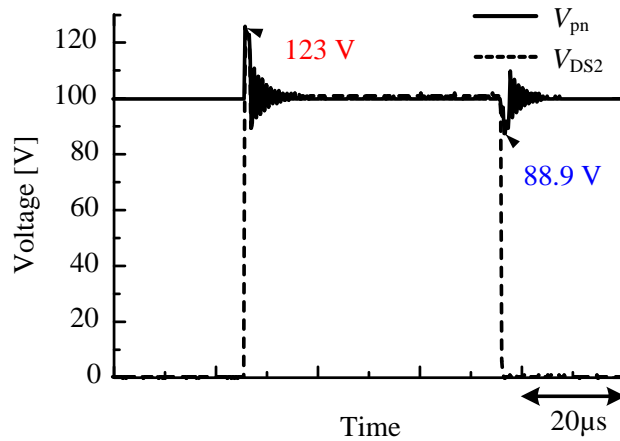


図 3.37 ハードスイッチング型バレーフィルにおける直流バスとドレインソース電圧の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.37 より、pn 間の直流バス電圧 V_{pn} をみると充電電圧は 123 V、放電電圧は 88.9 V でクランプされていることが確認できる。3.1 章で導出した(3.6)、(3.7)式より入力電圧 100 V で計算すると充電電圧理論値は 116.6 V、放電電圧理論値は 87.5 V となる。また、シミュレーションでは、充電電圧は 119.6 V、放電電圧は 89.3 V あり、充電時と放電時にクランプされる電圧は、実測とシミュレーションと理論値を比較するとほぼ等しいことが確認できる。若干の差異に関してはシミュレーション時と同様に入力電流に電流リプルが生じることが原因である。入力電流の増減量に関する実験結果を図 3.38 に示す。

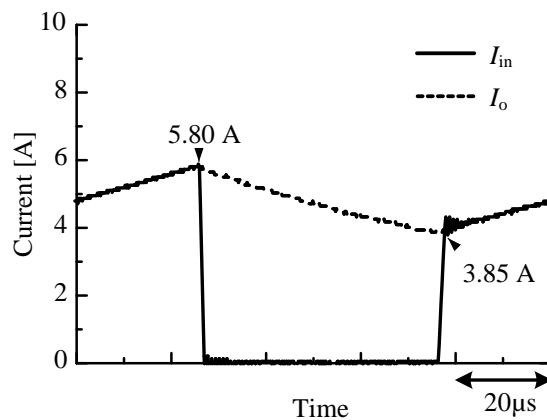


図 3.38 ハードスイッチング型バレーフィルにおける入力・出力電流の実験結果($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.38 は、入力電流、負荷電流の波形を示したもので電流リプルが 1.95 A 生じていることが確認できる。シミュレーション時の 0.83 A よりも電流リプルが大きいため、理論値と差が生じてしまったことが分かる。この結果より、充電時と放電時にクランプする電圧の若干が生じる原因については解明できる。次に pn 間電圧波形においてシミュレーションと実験検証を比較した波形を図 3.39 に示す。

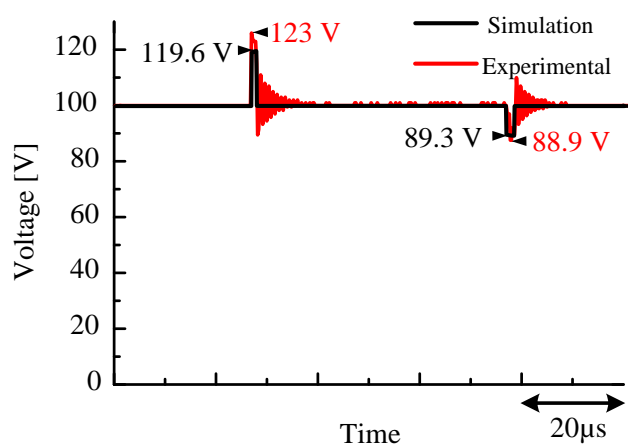


図 3.39 ハードスイッチング型バレーフィルにおける直流バス電圧のシミュレーションと実験検証の比較($C_1:C_2:C_3=C_6:C_5:C_4=2:6:3$)

図 3.39 より、実測波形では充電と放電終了時に高周波振動がみられる。こちらに関しては、実機基板の配線に含まれる配線インダクタンスと素子に含まれる寄生キャパシタンスによる共振の影響であると考えられる。影響する配線インダクタンスの部分について図 3.40 に示す。なお、シミュレーションでは、これらの成分を考慮していないため、振動はみられない。

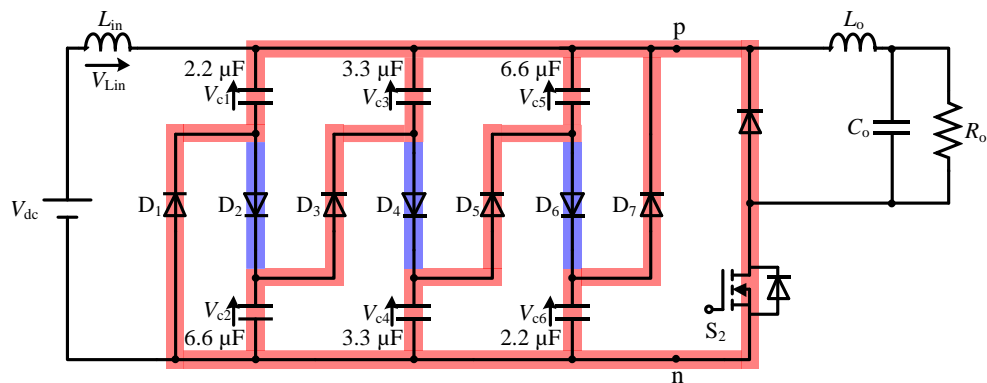


図 3.40 動作波形に影響を与える配線インダクタンス部分

図 3.40 は動作波形に影響を与える配線インダクタンス部分について表したものである。赤の部分に関してはスイッチ S_2 のターンオン終了時に影響する配線インダクタンスで青の部分に関してはスイッチ S_2 のターンオフ終了時に影響する配線インダクタンスである。よって、赤と青の部分の配線長さを短くすることで電圧振動を抑えられると考える。以上を踏まえて今回作成した回路基板(図 3.32)では配線長さの改善が必要であるため、今後これらを考慮した回路基板を作成する必要がある。

・ハードスイッチング型バレーフィルスナバのスイッチング波形の検証

ハードスイッチング型バレーフィルスナバのスイッチング波形を図 3.41 に示す。図 3.41 ハードスイッチング型バレーフィルにおけるスイッチング素子 S に関するスイッチング波形の実験結果

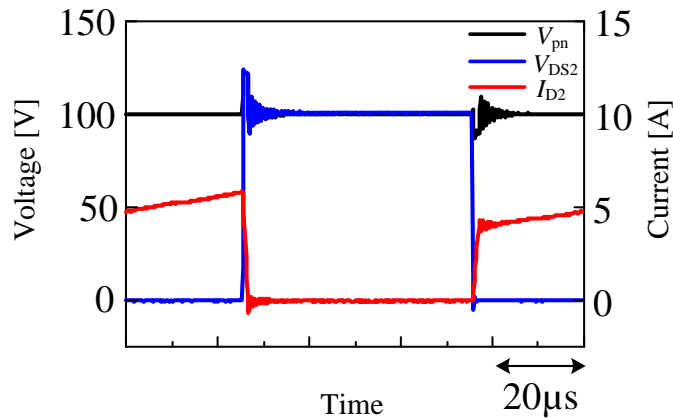


図 3.41 ハードスイッチング型バレーフィルにおけるスイッチング素子 S に関するスイッチング波形の実験結果

図 3.41 はスイッチング素子 S の電圧・電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 3.42 (a)、(b) に示す。

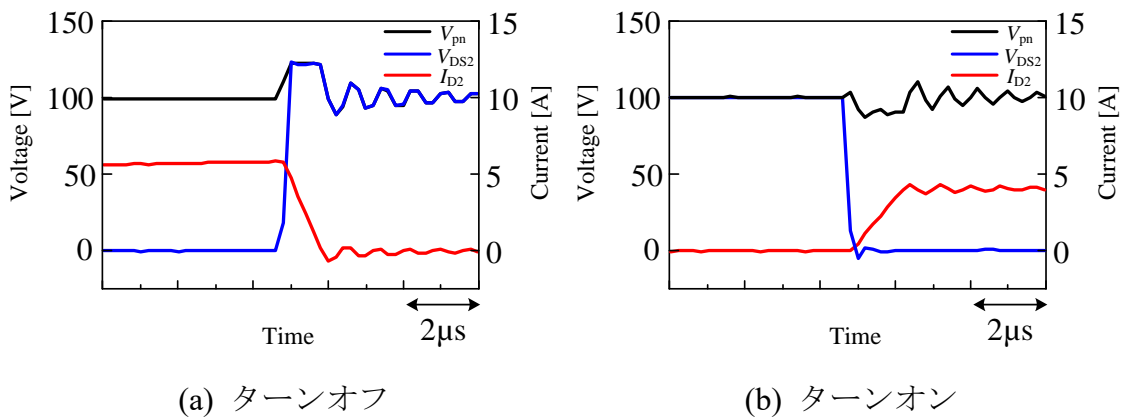


図 3.42 スwitchング素子 S のスイッチング時拡大波形

図 3.42 (a)はスイッチング素子 S のターンオフ時の電圧・電流波形であり、スイッチング時間 $1\ \mu\text{s}$ の間に電圧と電流の重なりが生じており、スイッチング損失が発生する。図 3.42 (b)はスイッチング素子 S のターンオン時の電圧・電流波形であり、スイッチング時間 $100\ \text{ns}$ の間にスイッチング損失が発生することが

確認できる。よって、ハードスイッチング型バレーフィルスナバでは、スイッチング損失が発生することわかる。また、スイッチング損失は周波数に比例して増加する。

3.6 ハードスイッチング型バレーフィルスナバの課題

ハードスイッチング型バレーフィルスナバでは、スイッチング損失の低減効果がないため、電圧クランプ機能によって高周波化が可能となるが、周波数に比例してスイッチング損失が発生してしまうことでスナバ損失の低減割合を回路全体の損失と比較した場合に効果が薄れてしまう。そこで、スイッチング損失を低減する手法が必要となる。

3.7 まとめ

本章では、提案法であるバレーフィル回路を応用したハードスイッチング型バレーフィルスナバの基本動作について述べた。ハードスイッチング型バレーフィルスナバ回路では、充電時と放電時の動作経路を含めて 4 つの動作モードを持ち、スナバ機能に関係する式として pn 間の充電・放電電圧、各キャパシタに加わる分担電圧について定式化を行った。その後、ハードスイッチング型バレーフィルスナバを構成する素子の役割と設計方法について述べ、シミュレーションにより、適正なバレーフィルスナバキャパシタ $C_1 \sim C_6$ の値を決定し、スナバ機能として電圧クランプを行えることを確認した。シミュレーションにおいて原理通りの動作となることを確認したので、実機検証を行うために実機回路の設計方法と製作手順について述べ、実機検証を行った。実機検証における充電電圧 V_{char} は理論値と比べて誤差 2.3 %、放電電圧 V_{dis} は誤差 1.6 %であることから理論値と実験値が非常によく一致することを検証し、スナバ機能を有することを実機検証において確認した。また、バレーフィルスナバ内に抵抗を用いない構造であり、従来スナバではなし得なかった低損失スナバの開発を行えた。これ

にともない回路の高周波化が可能となることがわかった。しかし、高周波化によるスイッチング損失の増加は、回路全体で発生する損失の大半を占めることから低減手法が必要となるが、ハードスイッチング型バレーフィルスナバの課題で述べたようにスイッチング損失の低減効果はないため、スイッチング損失の低減について検討が必要となることが判明した。

第4章 ソフトスイッチング型バレーフィルスナバの回路構成

本章では、第 3 章で述べたハードスイッチング型バレーフィルスナバの電圧クランプ機能に加えて、欠点であったハードスイッチングによるスイッチング損失を低減する手法としてソフトスイッチング機能を有するソフトスイッチング型バレーフィルスナバについて述べる。はじめに、降圧チョッパ回路に適用した場合の構成と動作原理について説明し、スナバ機能とソフトスイッチングに関する関係式の定式化を行う。次に、ソフトスイッチング型バレーフィルスナバを構成するために追加する素子の役割と設計方法について述べたあとにシミュレーションにより、適正パラメータの決定とスナバ機能の確認を行う。最後に、三相 PWM インバータによる実機検証を行うために、実機回路の設計方法と製作手順について述べてから実機検証を行い、理論式と比較し、スナバ機能とソフトスイッチングによるスイッチング損失低減効果について確認を行い、ソフトスイッチング型バレーフィルスナバの課題点を述べる。

4.1 ソフトスイッチング型バレーフィルスナバの動作原理

図 4.1 に降圧チョッパ回路に適用したソフトスイッチング型バレーフィルスナバ回路を示す。赤の素子はハードスイッチング型バレーフィルスナバからの変更点を表す。ソフトスイッチング型バレーフィル回路においてスイッチング周波数 f_s の 1 周期の動作波形を図 4.2 に示す。波形は上からスイッチング素子 S 、入力電流 I_{in} 、出力電流 I_o 、スイッチング素子 S のドレイン電流 I_D 、スイッチング素子 S のドレイン-ソース間電圧 V_{DS} 、出力ダイオード電圧 V_{Do} 、pn 間の直流バス電圧 V_{pn} 、ソフトスイッチングキャパシタ C_{zvs} の電圧 V_{Czvs} となる。なお、pn 間の直流バス電圧 V_{pn} は $V_{DS}+V_{Do}$ である。この回路は、1 周期に 8 つの動作モ

ードを持ち、各モードの動作回路を図 4.3～図 4.10 に示す。

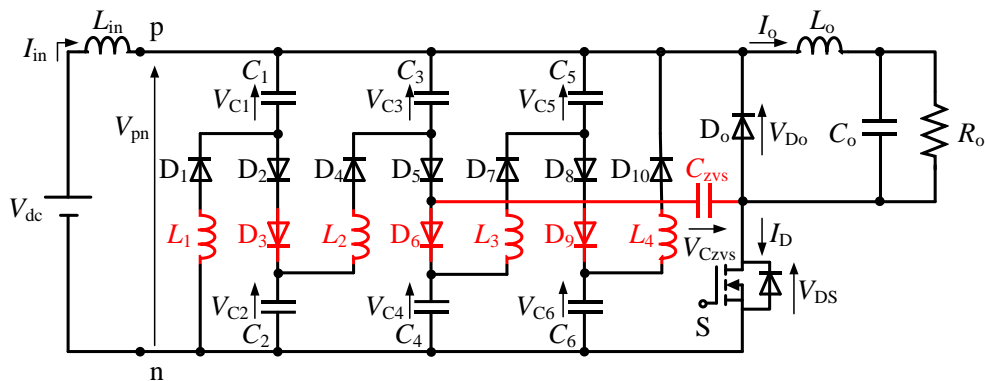


図 4.1 ソフトスイッチング型バレーフィルスナバ

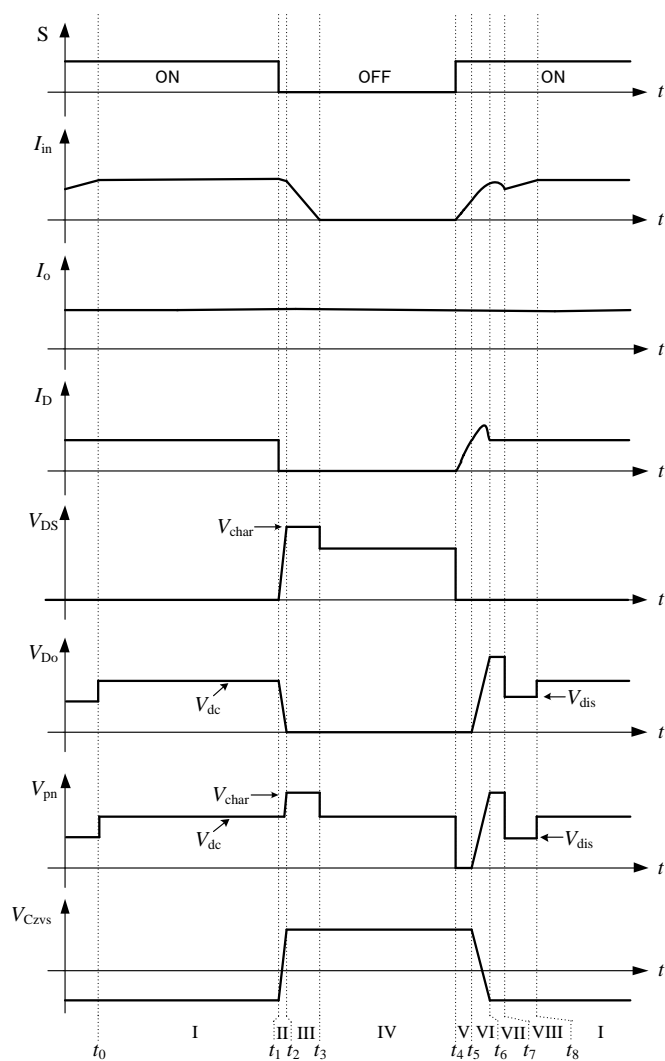
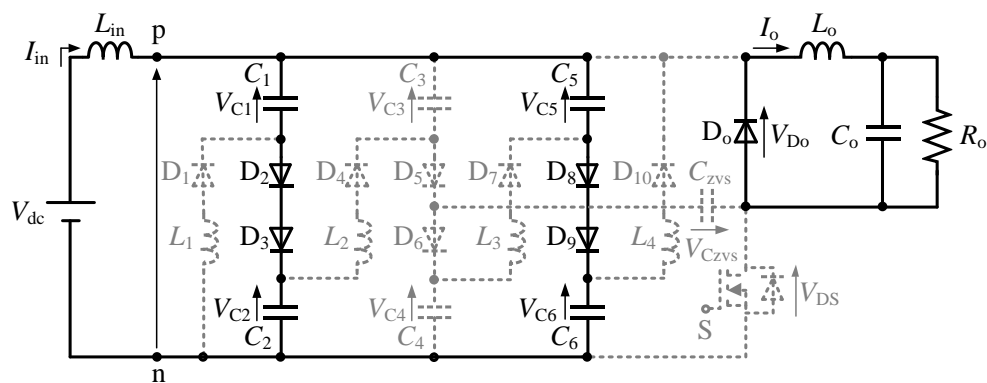
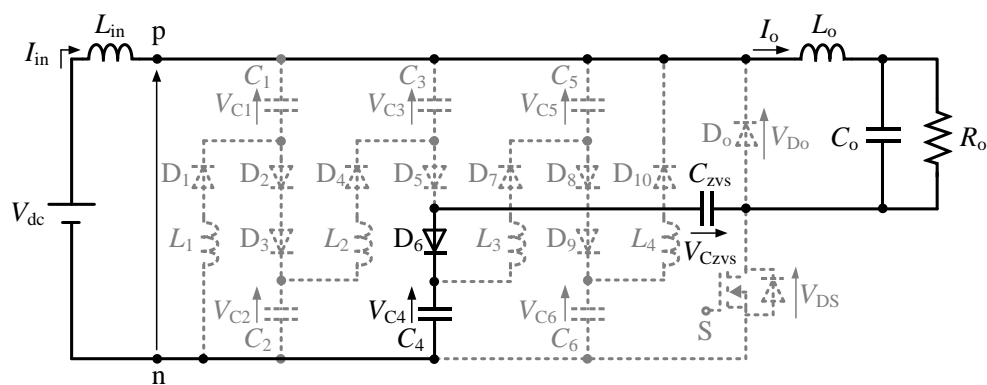
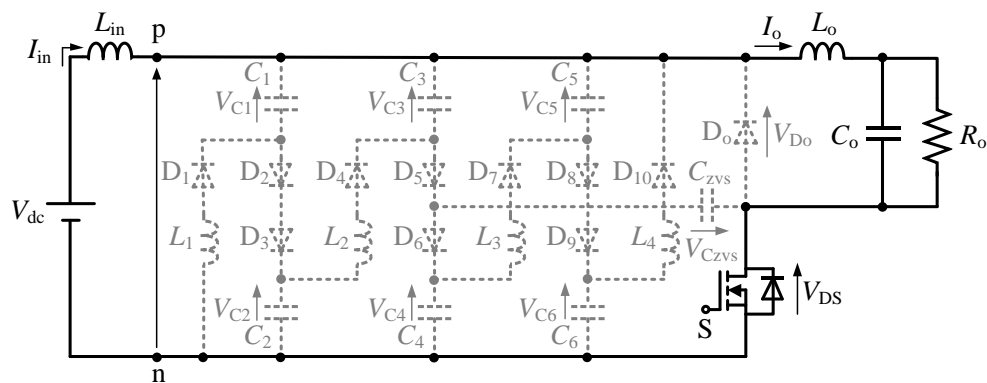


図 4.2 ソフトスイッチング型バレーフィルスナバの動作波形



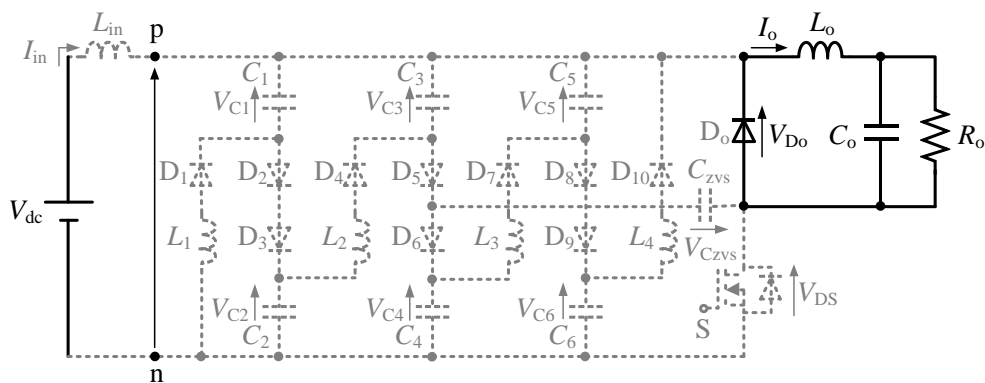


図 4.6 ソフトスイッチング型バレーフィルスナバにおける Mode IV の動作

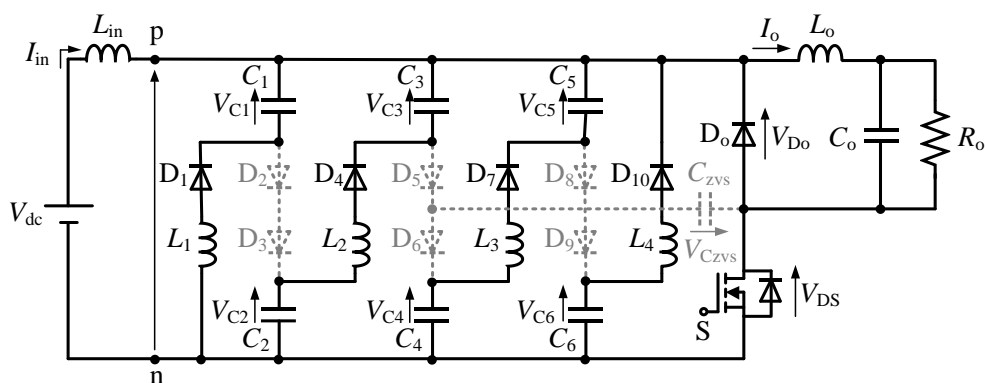


図 4.7 ソフトスイッチング型バレーフィルスナバにおける Mode V の動作

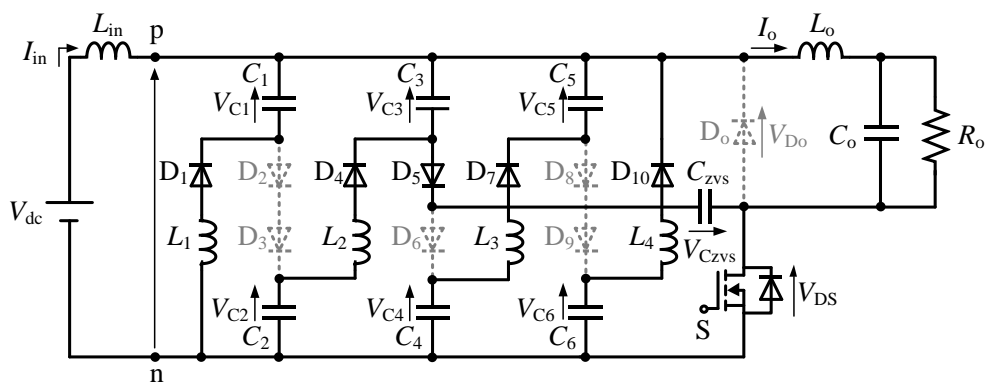


図 4.8 ソフトスイッチング型バレーフィルスナバにおける Mode VI の動作

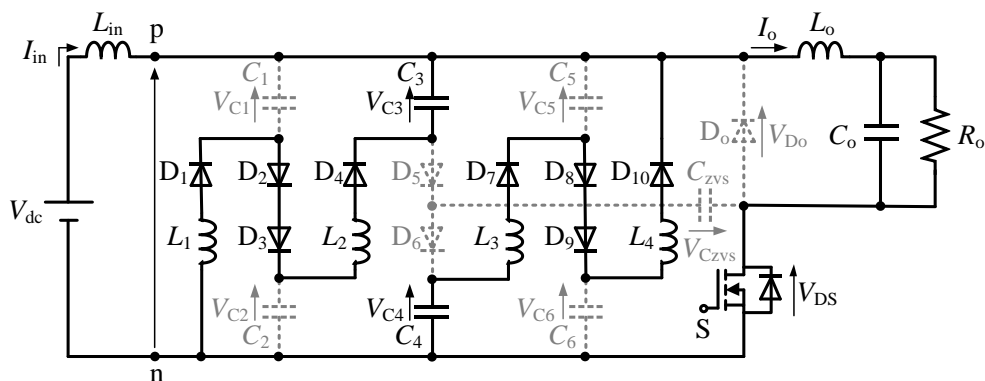


図 4.9 ソフトスイッチング型バレーフィルスナバにおける Mode VII の動作

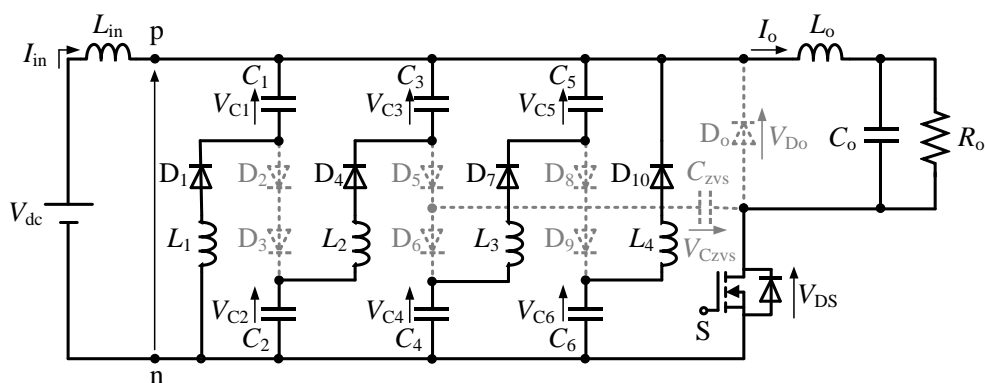


図 4.10 ソフトスイッチング型バレーフィルスナバにおける Mode VIII の動作

Mode I [$t_0 \sim t_1$] : 動作回路は図 4.3 となり、スイッチング素子 S はオン状態である。この動作はハードスイッチング型バレーフィルスナバの Mode I と同じである。このときのソフトスイッチングキャパシタ電圧 V_{Czvs} とバレーフィルスナバキャパシタ電圧 V_{C4} の和は $0V$ となる。スイッチング素子 S の状態が変わるまでこのモードを維持する。

Mode II [$t_1 \sim t_2$] : 動作回路は図 4.4 となる。スイッチング素子 S のターンオフ時に出力インダクタ L_o に流れていた出力電流 I_o はソフトスイッチングキャパシタ C_{zvs} とバレーフィルスナバキャパシタ C_4 に流れ込み、それらは充電される。充電時間はソフトスイッチングキャパシタ C_{zvs} の値によって調整することができる。これにより、ソフトスイッチングの ZVS 動作が可能となる。もし、ソフト

スイッチングキャパシタ C_{zvs} の値が小さいものを用いた場合、充電時間は短くなり瞬時にスイッチング素子 S のドレイン-ソース間電圧 V_{Ds} は上昇する。すなわち、スイッチングデバイスの持つ電圧増加率 dV/dt を可変させることができる。また、EMI ノイズの低減に効果的となる。電圧増加率 dV/dt は(4.1)式で表す。

$$dV/dt = I_o/C \cong I_o/C_{zvs} \quad (4.1)$$

ただし、 C はソフトスイッチングキャパシタ C_{zvs} とバレーフィルスナバキャパシタ C_4 の直列合成キャパシタの値である。本研究では、 $C_{zvs} \ll C_4$ となるようにスナバ回路を設計するため、直列合成キャパシタの値は C_{zvs} として近似することができる。ソフトスイッチングキャパシタの充電が完了するまでこのモードを維持する。

Mode III $[t_2 \sim t_3]$: 動作回路は図 4.5 となり、スイッチング素子 S はオフ状態を維持したままである。**Mode II** でソフトスイッチングキャパシタ C_{zvs} とバレーフィルスナバキャパシタ C_4 の充電が終わると直流回路側のインダクタ L_{in} に流れていた入力電流 I_{in} はバレーフィルスナバキャパシタに流れ込み、キャパシタは 2 直列、3 並列された状態でバレーフィルスナバ回路のキャパシタ C_1, C_2 と C_5, C_6 を充電する。キャパシタ C_3, C_4 に関しては **Mode II** でソフトスイッチングキャパシタ C_{zvs} と同時に充電を行う回路構造であるため、ここでは充電されない。 p_n 間の直流バス電圧 V_{pn} はハードスイッチング型バレーフィルスナバの原理と同様に $V_{char} = 7/6 V_{dc}$ で電圧クランプされる。また、バレーフィルスナバキャパシタの充電にともないインダクタ L_{in} の電流 I_{in} は 0 まで減少する。これにより、ソフトスイッチング型バレーフィルスナバにおいてもターンオフ時に発生するサージ電圧を抑制できる。バレーフィルスナバキャパシタの充電が完了するまでこのモードを維持する。

Mode IV $[t_3 \sim t_4]$: 動作回路は図 4.6 となり、スイッチング素子 S はオフ状態を維持している。ハードスイッチング型バレーフィルスナバの **Mode III** と同じである。スイッチング素子 S の状態が変わるまでこのモードを維持する。

Mode V $[t_4 \sim t_5]$: 動作回路は図 4.7 となる。スイッチング素子 S のターンオン時

に直流回路側から負荷回路側に電流を流す必要があるため、バレーフィルスナバ回路のダイオードの導通条件よりバレーフィルスナバキャパシタは 1 および 2 直列に接続された状態で放電する。放電時は短時間で行われることにより大電流が流れることが予測されるため、インダクタ L_1, L_2, L_3, L_4 を挿入している。このとき、インダクタ L_1, L_2, L_3, L_4 には入力電圧 V_{dc} に近い電圧が発生する。そのため、pn 間電圧 V_{pn} は 0 となるが、直流電源とバレーフィルスナバ間の入力インダクタ L_{in} によりドレイン電流 I_D の急激な電流上昇は抑制される。

Mode VI[$t_5 \sim t_6$]：動作回路は図 4.8 となり、スイッチング素子 S はオン状態を維持している。ドレイン電流 I_D は入力インダクタ L_{in} とバレーフィルスナバキャパシタ C_3 とソフトスイッチングキャパシタ C_{zvs} による共振電流が流れる。このドレイン電流の最大値は(4.2)式で表す。

$$I_{Dmax} = \frac{V_{DS}}{Z_o} + I_o \cong \sqrt{\frac{C_{zvs}}{L_{in}}} V_{DS} + I_o \quad (4.2)$$

共振電流によってバレーフィルスナバキャパシタ C_3 の電圧が上昇してもスナバの電圧クランプ作用により、電圧は $V_{char}=7/6 V_{dc}$ に抑制される。**Mode V** と **Mode VI** により、ZCS 動作が可能となる。

Mode VII[$t_6 \sim t_7$]：動作回路は図 4.9 となり、スイッチング素子 S はオン状態を維持している。ここでは、バレーフィルスナバキャパシタの電荷が等しくなるように入力電流 I_{in} から再びバレーフィルスナバに流れ込み、充電される。

Mode VIII[$t_7 \sim t_8$]：動作回路は図 4.10 となり、スイッチング素子 S はオン状態を維持している。ハードスイッチング型バレーフィルスナバの **Mode IV** と同じである。入力電流 I_{in} が負荷電流 I_o まで増加するとバレーフィルスナバキャパシタからの放電は停止し、pn 間の直流バス電圧 V_{pn} は入力電圧 V_{dc} と等しくなり、**Mode I**に移行する。このように 1 周期で **Mode I**～**Mode VIII** が存在する。以上の動作より、スイッチング素子 S のサージ電圧の抑制に加えて、電圧増加率 dV/dt はソフトスイッチングキャパシタ C_{zvs} の値によって調整でき、EMI ノイズの低

減が可能となる。ソフトスイッチング型バレーフィルスナバの動作回路から電圧クランプとソフトスイッチング機能を説明できる。また、三相 PWM インバータに応用可能である。

4.2 ソフトスイッチング用素子の役割と設計

ソフトスイッチング型バレーフィルスナバを構成するために用いる素子の役割とパラメータの設計方法について述べる。図 4.11 にソフトスイッチング型バレーフィルスナバの構成を示す。

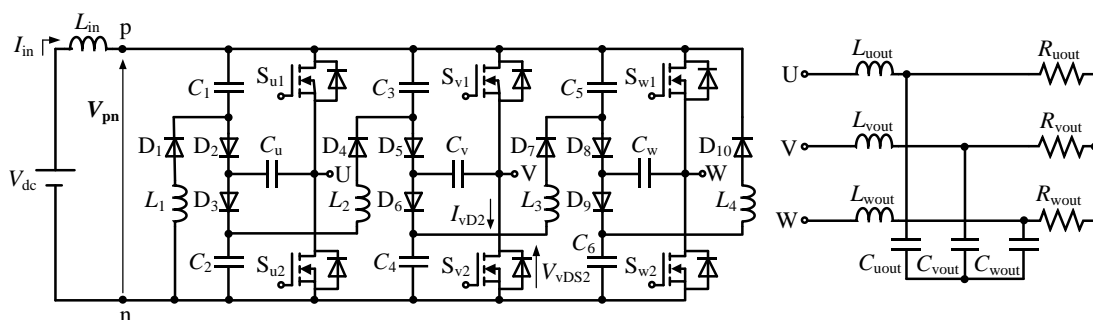


図 4.11 ソフトスイッチング型バレーフィルスナバの構成

図 4.11 に用いるインダクタとキャパシタとダイオードの役割について説明する。

・入力インダクタ L_{in}

ハードスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオフ、ターンオン時に発生する配線インダクタに起因するサージ電圧によるエネルギーを一時的に蓄え、授受する役割を担う。

・突入電流防止インダクタ $L_1 \sim L_4$

図 4.11 においてスイッチング素子 S のターンオン時の ZCS 動作にともない発生する突入電流の抑制ために機能する。もし、突入電流防止インダクタ L_1 , L_2 , L_3 , L_4 がない場合は、大電流が流れ、スイッチング素子の破壊やソフトスイッチング機能の低下につながる。突入電流防止インダクタ L_1 , L_2 , L_3 , L_4 の値に

関しては、配線インダクタよりも大きい値にする必要がある。一般的に配線インダクタの値は数 nH～数十 nH であると言われていることから、本研究で用いる突入電流防止インダクタ L_1, L_2, L_3, L_4 の値は μH オーダのものを使用する。また、入力インダクタ L_{in} を考慮して設計する必要がある。

・バレーフィルスナバキャパシタ $C_1 \sim C_6$

ハードスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオフ、ターンオン時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタに授受する役割を担う。バレーフィルスナバキャパシタ $C_1 \sim C_6$ はハードスイッチング型で用いたものよりも少し小さい値を使用する。

・ソフトスイッチングキャパシタ C_{zvs}

図 4.11 においてスイッチング素子 S の動作時にソフトスイッチングキャパシタ C_{zvs} に充電することでターンオフ時に電圧増加率 dV/dt の調整、ターンオン時にドレイン電流の最大値を決定できるとともにソフトスイッチングを行える。

ソフトスイッチングキャパシタ C_{zvs} の値は、ソフトスイッチング機能に関する(4.1)式、(4.2)式より決定することができる。しかし、(4.1)式、(4.2)式の制約条件より、バレーフィルスナバキャパシタ C_3, C_4 と比べて十分小さい値でなければならないため、nF オーダのものを使用する。また、ソフトスイッチングキャパシタ C_{zvs} には、正と負の電圧が加わる回路構造であるため両極性のキャパシタを使用する必要がある。

・バレーフィルスナバ放電時用ダイオード D_1, D_4, D_7, D_{10}

ハードスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオン時にバレーフィルスナバキャパシタ $C_1 \sim C_6$ に蓄えられたエネルギーを入力インダクタ L_{in} に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。

・バレーフィルスナバ充電時用ダイオード $D_2, D_3, D_5, D_6, D_8, D_9$

ハードスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオフ時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタ $C_1 \sim C_6$ に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。ハードスイッチング型バレーフィルスナバとの違いとしては電圧クランプ機能に影響がないようにソフトスイッチングキャパシタ C_{zvs} を接続するために各legにダイオードを2つ使用することである。動作に関してはハードスイッチング時と同じとなる。

4.3 シミュレーションによる評価

ソフトスイッチング型バレーフィルスナバにおけるシミュレーション結果について述べる。4.2章で定めた素子パラメータをもとにシミュレーションを行う。

4.3.1 シミュレーション条件

シミュレーション条件と評価方法について述べる。ソフトスイッチング型バレーフィルスナバでは、電圧クランプ機能に加えてソフトスイッチング機能の確認として(4.1)式、(4.2)式で定式化した電圧増加率 dV/dt 、ドレイン電流の最大値と比較することで、ZVS動作とZCS動作を評価する。

表 4.1 にシミュレーションで用いる回路パラメータ、シミュレーション回路を図 4.12 に示す。

表 4.1 ソフトスイッチング型バレーフィルスナバにおける
シミュレーション回路パラメータ

| Devices | Value |
|---|--------------|
| Input Voltage V_{dc} | 350 V |
| Input Power P_{in} | 4 kW |
| Input Inductance L_{in} | 4.2 μ H |
| Capacitance of Valley-fill snubber C_1, C_6 | 1 μ F |
| Capacitance of Valley-fill snubber C_2, C_5 | 3 μ F |
| Capacitance of Valley-fill snubber C_3, C_4 | 1.5 μ F |
| Inductance of LC Filter L_o | 350 μ H |
| Capacitance of LC Filter C_o | 10 μ F |
| Output Voltage V_o | 100 V |
| Output Resistance R_o | 6.2 Ω |
| Gate Frequency f_g | 20 kHz |

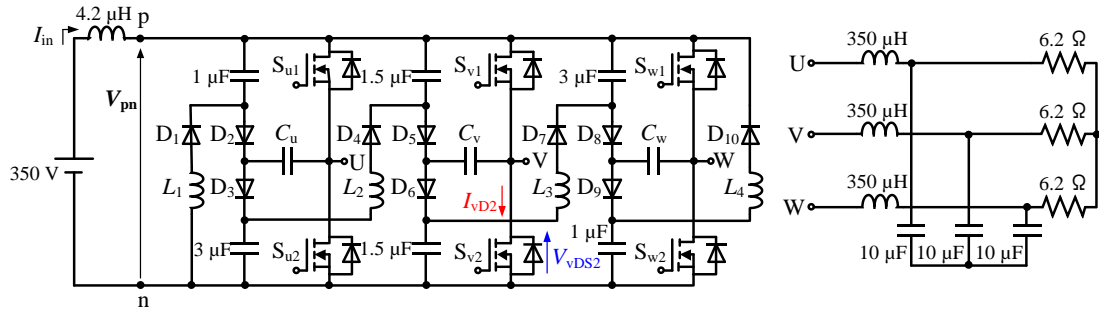


図 4.12 ソフトスイッチング型バレーフィルスナバにおける
シミュレーション回路

図 4.12 に用いるソフトスイッチングキャパシタの値は、4.1 章のソフトスイッチングに関する原理の(4.1)、(4.2)式をもとにシミュレーションを行いソフトスイッチングキャパシタ C_{zvs} の値を決定する。また、値の大きさにより、スイッチング損失の低減効果が変化するか、確認するために以下の条件でシミュレ

ーションを行い、ソフトスイッチング型バレーフィルスナバの動作を確認する。

・ソフトスイッチング型バレーフィルスナバの電圧クランプ機能の検証

ソフトスイッチング型バレーフィルスナバにおいてハードスイッチング型バレーフィルスナバと同等の電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} に関するシミュレーションを行い、3.1 章で定式化した充電電圧と放電電圧と比較して、電圧クランプ機能を確認する。突入電流防止インダクタ L_1 , L_2 , L_3 , L_4 の値は入力インダクタ L_{in} より、大きい $8.2 \mu\text{H}$ を用いる。

・ソフトスイッチングキャパシタの容量変更によるソフトスイッチング波形の検証

4.2 章で定めた素子パラメータのオーダ値をもとに、ソフトスイッチングキャパシタ C_u , C_v , C_w の値を 1 nF と 10 nF の 2 種類を用いてソフトスイッチング型バレーフィルスナバのスイッチング波形に関するシミュレーションを行い、ソフトスイッチング機能を確認する。

4.3.2 シミュレーション結果

シミュレーション条件より、ソフトスイッチング型バレーフィルスナバにおける電圧クランプとソフトスイッチングキャパシタの値によるソフトスイッチングのシミュレーション結果について述べる。

・ソフトスイッチング型バレーフィルスナバの電圧クランプ機能の検証

ソフトスイッチング型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} とスイッチング素子 S のドレイン-ソース電圧 V_{vDS2} の波形を図 4.13 に示す。

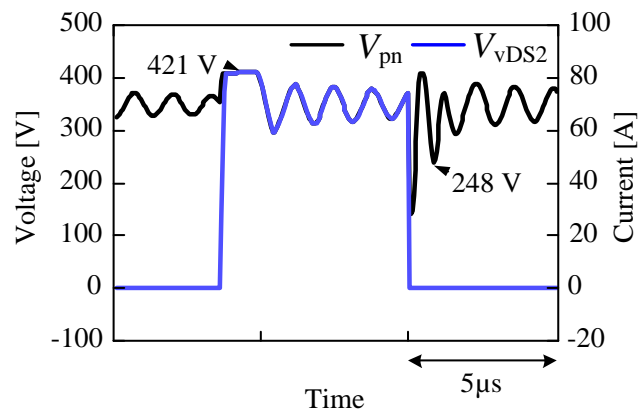
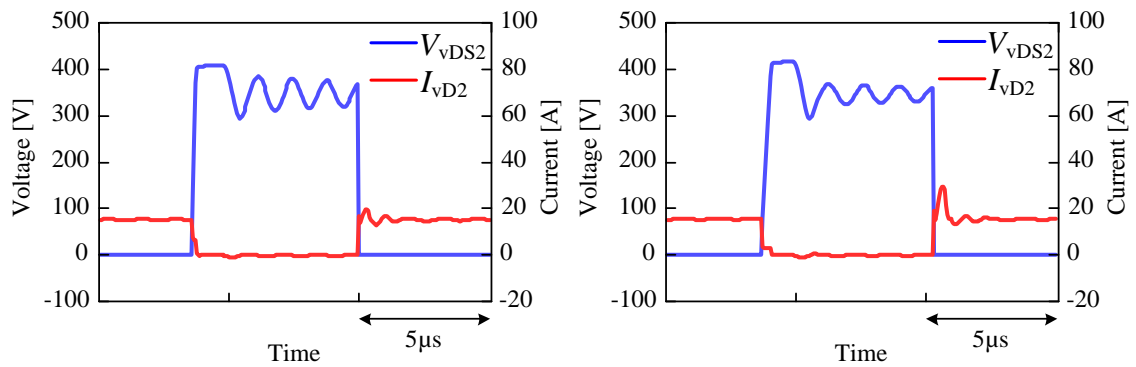


図 4.13 ソフトスイッチング型バレーフィルスナバにおける直流バスとドレイン-ソース電圧のシミュレーション結果

図 4.13 より、pn 間の直流バス電圧 V_{pn} をみると充電電圧は 421 V、放電電圧は 248 V でクランプされていることが確認できる。3.1 章で導出した(3.6)、(3.7)式より入力電圧 350 V で計算すると充電電圧理論値は 408 V、放電電圧理論値は 306 V となる。これらより、充電時にクランプされる電圧は、シミュレーションと理論値を比較するとほぼ等しいことが確認できる。放電時にクランプされる電圧は理論値よりも低い値となる。これらの差異に関してはハードスイッチング型バレーフィルスナバの時と同様に電流リプルによるものである。以上より、ソフトスイッチング型バレーフィルスナバに電圧クランプ機能が備わっていることが確認できる。

・ソフトスイッチングキャパシタの容量変更によるソフトスイッチング波形の検証

図 4.12 においてソフトスイッチングキャパシタ C_u , C_v , C_w の値を 1 nF と 10 nF にした場合のスイッチング波形を図 4.14 に示す。

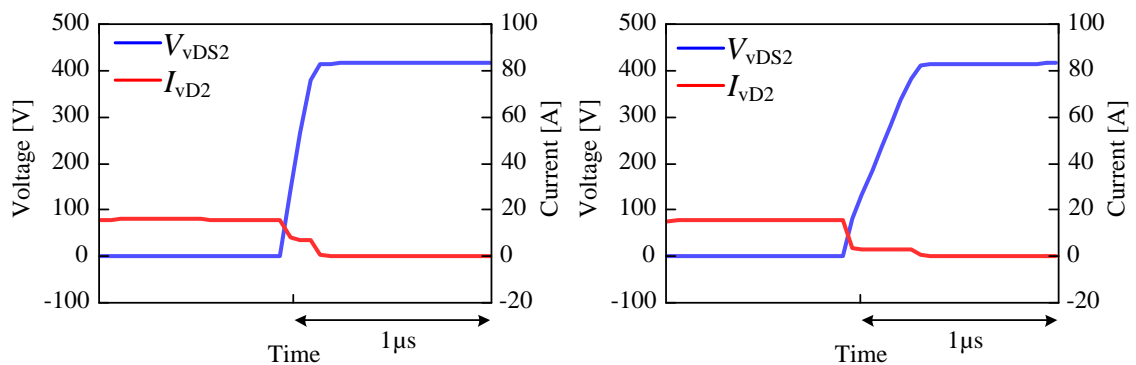


(a) $C_u, C_v, C_w = 1 \text{ nF}$

(b) $C_u, C_v, C_w = 10 \text{ nF}$

図 4.14 ソフトスイッチングキャパシタの値によるスイッチング波形の比較

図 4.14 (a)はソフトスイッチングキャパシタ C_u, C_v, C_w の値が 1 nF 、図 4.14 (b)は 10 nF 時のスイッチング素子 S の電圧、電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 4.15、図 4.16 に示す。



(a) $C_u, C_v, C_w = 1 \text{ nF}$

(b) $C_u, C_v, C_w = 10 \text{ nF}$

図 4.15 ソフトスイッチングキャパシタの値によるターンオフ時拡大波形の比較

図 4.15 (a)は $C_u, C_v, C_w = 1 \text{ nF}$ 時、図 4.15 (b)は 10 nF 時のスイッチング素子 S のターンオフ時の電圧・電流波形である。ターンオフ時の電圧増加率 dV/dt を比較するとソフトスイッチングキャパシタの値が大きいほうが電圧増加率 dV/dt の傾きが小さくなる傾向にあることが確認できる。4.1 章の(4.1)式の理論式にお

いても同様の傾向にある。電圧増加率 dV/dt の傾きが小さくなることでターンオフ時のスイッチング損失が低減できることから ZVS 動作が可能となる。

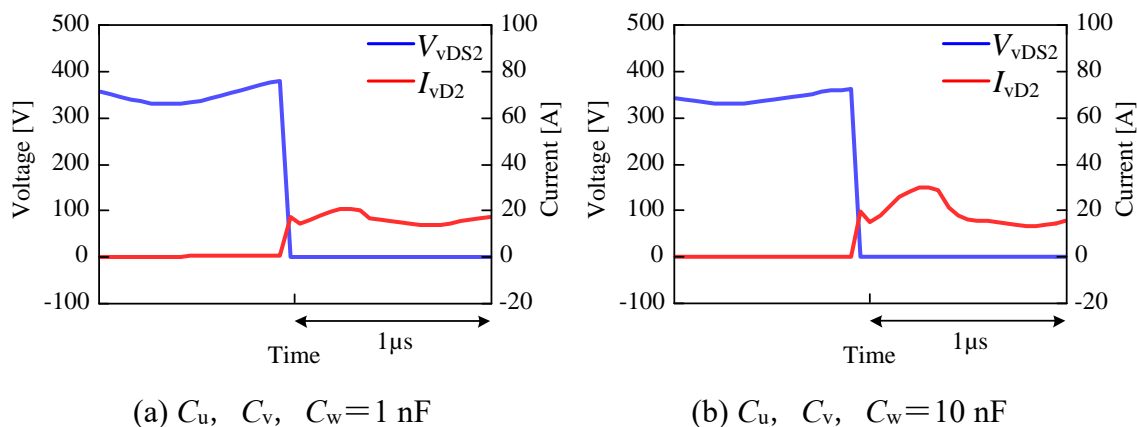


図 4.16 ソフトスイッチングキャパシタの値によるターンオン時拡大波形の比較

図 4.16(a)は $C_u, C_v, C_w = 1 \text{ nF}$ 時、図 4.16(b)は 10 nF 時のスイッチング素子 S のターンオン時の電圧・電流波形である。

ターンオン時のドレイン電流の最大値を比較するとソフトスイッチングキャパシタ C_{zvs} の値に比例して最大値が大きくなる。4.1 章の(4.2)式の理論式においても同様の傾向にある。ターンオン時の ZCS 動作に関しては、どちらの波形においても共振電流とは別の要因で発生する電流により、不完全 ZCS となっていることが確認できる。原因の解明に関しては実機検証時に行う。

4.4 実験装置の製作

実験検証に向けてソフトスイッチング型バレーフィルスナバ回路の実機装置の製作について述べる。シミュレーション結果と同様に三相 PWM インバータにおいて実験検証をするための素子選定と基板設計を行う。

4.4.1 装置構成

ソフトスイッチング型バレーフィルスナバの実機検証に向けて実機製作に用いる素子選定について述べる。図 4.17 に用いる素子のパラメータを表 4.2 に示す。

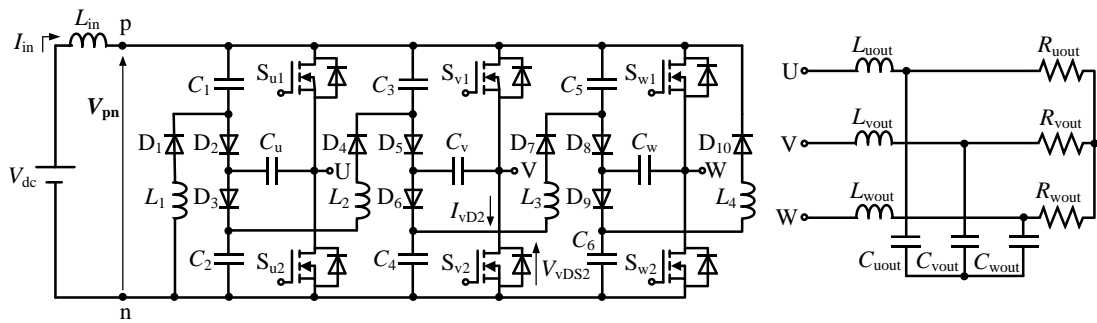


図 4.17 ソフトスイッチング型バレーフィルスナバの回路図

表 4.2 ソフトスイッチング型バレーフィルスナバにおける
実験回路パラメータ

| Devices | Maximum ratings | Value or types |
|--|------------------------------------|----------------|
| Input Inductor L_{in} | | 4.2 μ H |
| Inductors L_1, L_2, L_3, L_4 | | 8.2 μ H |
| Capacitors of Valley-fill snubber C_1, C_6 | 630 V | 1 μ F |
| Capacitors of Valley-fill snubber C_2, C_5 | 630 V | 3 μ F |
| Capacitors of Valley-fill snubber C_3, C_4 | 630 V | 1.5 μ F |
| Capacitors of soft switching C_u, C_v, C_w | 630 V | 1 nF 10 nF |
| Diode of Valley-fill snubber $D_1 \sim D_{10}$ | $V_R : 1.2$ kV $I_F : 25.5$ A | C4D10120A |
| Inductors of LC Filter $L_{uout}, L_{vout}, L_{wout}$ | 60 A | 350 μ H |
| Capacitors of LC Filter $C_{uout}, C_{vout}, C_{wout}$ | 500 V | 10 μ F |
| Output Resistances $R_{uout}, R_{vout}, R_{wout}$ | 5.7 kW | 6.2 Ω |
| SiC Half-Bridge | $V_{DS} : 1.2$ kV $I_D : 193$ A | CAS120M12BM2 |
| SiC MOSFET Driver | | CGD15HB62P1 |

表 4.2 に示す実験回路に用いる素子を選定した素子の詳細について述べる。

• 入力インダクタ L_{in}

入力インダクタ L_{in} の選定に関して、ハードスイッチング型バレーフィルスナバと同じ、 $L_{in} = 4.2$ μ H のインダクタを使用する。

• インダクタ L_1, L_2, L_3, L_4

インダクタ L_1, L_2, L_3, L_4 の選定に関して、4.2 章で述べたオーダとシミュレーションの結果より、 $L_{in} = 8.2$ μ H のインダクタを自作して使用する。

・ バレーフィルスナバキャパシタ $C_1 \sim C_6$

バレーフィルスナバキャパシタ $C_1 \sim C_6$ の選定に関して、4.2 章で述べたオーダとシミュレーションの結果より、 $C_1, C_6 = 1 \mu\text{H}$ 、 $C_2, C_5 = 3 \mu\text{H}$ 、 $C_3, C_4 = 1.5 \mu\text{H}$ 、耐圧 630 V の日本ケミコン製のフィルコンデンサを使用する。

・ バレーフィルスナバダイオード $D_1 \sim D_7$

バレーフィルスナバダイオード $D_1 \sim D_7$ の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、ダイオードには数十 A の電流が流れるため、定格 1.2 kV、25.5 A の CREE 製のショットキーバリアダイオードを使用する。

・ LC フィルタに用いる出力インダクタ $L_{uout}, L_{vout}, L_{wout}$

出力インダクタ $L_{uout}, L_{vout}, L_{wout}$ の選定に関して、シミュレーションの結果より、 $L_{uout}, L_{vout}, L_{wout} = 350 \mu\text{H}$ 、定格電流 60 A のポニー電機製のインダクタを使用する。

・ LC フィルタに用いる出力キャパシタ $C_{uout}, C_{vout}, C_{wout}$

出力キャパシタ $C_{uout}, C_{vout}, C_{wout}$ の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、 $C_o = 10 \mu\text{F}$ 、定格電圧 500 V のキャパシタを使用する。

・ 出力抵抗 $R_{uout}, R_{vout}, R_{wout}$

出力抵抗 R_o の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、 16Ω の山菱電機製の負荷抵抗器と 10Ω ヒータを並列接続して $R_{uout}, R_{vout}, R_{wout} = 6.2 \Omega$ を使用する。

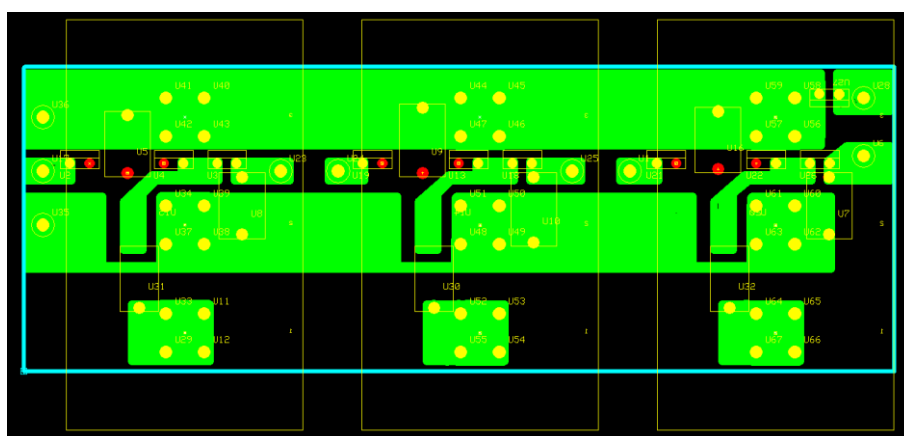
・ スイッチング素子 S

スイッチング素子 S の選定に関して、CREE 製の SiC-MOSFET のハーフブリッジモジュール(CAS120M12BM2)を使用する。

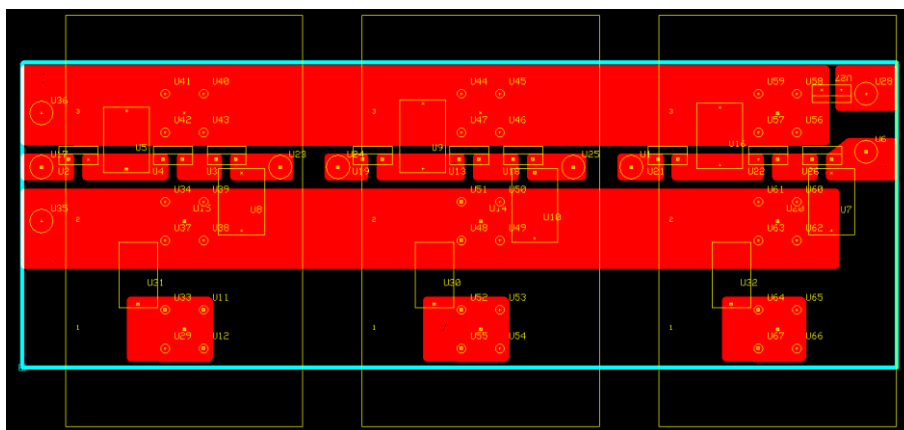
4.4.2 基板製作

図 4.18 に 3.5 章で述べた回路基板の改善点をもとに作成したソフトスイッチング型バレーフィルスナバ基板の配線図を示す。図 4.19 に製作した実機回路の写真を示す。ハードスイッチング型バレーフィルスナバ基板作成時の改善点を考慮して、1 枚の基板に収めるように基板設計を行う。

基板サイズは、基板上にバレーフィルスナバと三相分のパワーデバイスを配置できるように縦 80 mm、横 230 mm の両面基盤を使用する。



(a) 表面



(b) 裏面

図 4.18 ソフトスイッチング型バレーフィルスナバ回路の PCB レイアウト



図 4.19 ソフトスイッチング型バレーフィルスナバの実機回路写真

図 4.19 より、選定した素子とデバイスが基板上に実装されていることがわかる。次に、この回路を用いて実験検証を行い、ソフトスイッチング型バレーフィルスナバの電圧クランプとソフトスイッチング機能を確認する。

4.5 実験による評価

基盤実装したソフトスイッチング型バレーフィルスナバにおける実験結果について述べる。

4.5.1 実験条件

実験条件と評価方法について述べる。ここでは、シミュレーション結果をもとに実験検証でソフトスイッチング型バレーフィルスナバの動作の確認および電圧クランプとソフトスイッチング機能の評価する。

表 4.3 に実験回路パラメータと実験回路を図 4.20 に示す。

表 4.3 ソフトスイッチング型バレーフィルスナバにおける
実験回路パラメータ

| Devices | Value |
|------------------------|--------|
| Input Voltage V_{dc} | 350 V |
| Input Power P_{in} | 4 kW |
| Modulation ratio m | 0.8 |
| Gate Frequency f_g | 20 kHz |
| Signal Frequency f_s | 50 Hz |

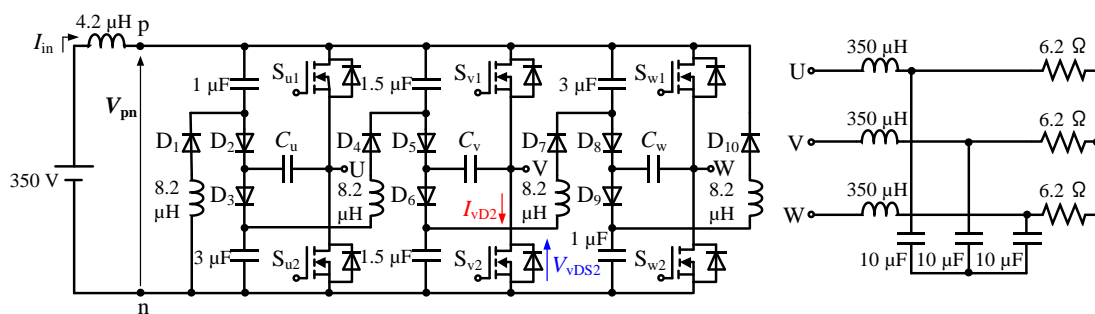


図 4.20 ソフトスイッチング型バレーフィルスナバの実験回路

図 4.20 においてシミュレーションで観測した波形と同様の箇所を測定する。シミュレーションと同様に以下の条件で実験検証を行い、ソフトスイッチング型バレーフィルスナバの回路動作および電圧クランプとソフトスイッチング機能を確認する。

・ソフトスイッチン型バレーフィルスナバの電圧クランプ機能の検証

ソフトスイッチング型バレーフィルスナバにおいてハードスイッチング型バレーフィルスナバと同等の電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} に関する実験検証を行い、3.1 章で定式化した充電電圧と放電電圧と比較して、電圧クランプ機能を確認する。

・ソフトスイッチングキャパシタの容量変更によるソフトスイッチング波形の検証

4.2 章で定めた素子パラメータのオーダー値をもとに、ソフトスイッチングキャパシタ C_{zvs} の値を 1 nF と 10 nF の 2 種類を用いてソフトスイッチング型バレーフィルスナバのスイッチング波形に関する実験検証を行い、ソフトスイッチング機能を確認する。

4.5.2 実験結果

実験条件より、ソフトスイッチングキャパシタの容量が異なる場合の実験結果について述べる。

・ソフトスイッチン型バレーフィルスナバの電圧クランプ機能の検証

ソフトスイッチング型バレーフィルスナバの電圧クランプ機能を確認するために、pn 間の直流バス電圧 V_{pn} とスイッチング素子 S のドレイン-ソース電圧 V_{vDS2} の実験波形を図 4.21 に示す。

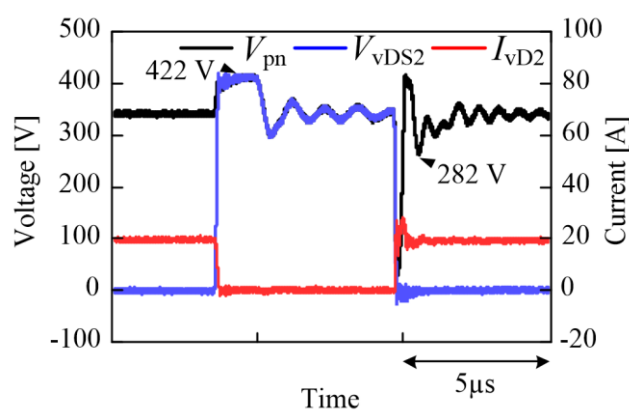


図 4.21 ソフトスイッチング型バレーフィルスナバにおける直流バスとドレイン-ソース電圧の実験結果(C_u , C_v , $C_w=1$ nF)

図 4.21 より、pn 間の直流バス電圧 V_{pn} をみると充電電圧は 422 V、放電電圧は 282 V でクランプされていることが確認できる。3.1 章で導出した(3.6)、(3.7)

式より入力電圧 350 V で計算すると充電電圧理論値は 408 V、放電電圧理論値は 306 V となる。また、シミュレーションでは、充電電圧は 421 V、放電電圧は 248 V であり、充電時にクランプされる電圧は、シミュレーションと理論値を比較するとほぼ等しいことが確認できる。放電時にクランプされる電圧は理論値よりも低い値となる。差異に関してはシミュレーション時と同様に入力電流に電流リップルが生じることが原因である。以上より、実機においてもソフトスイッチング型バレーフィルスナバに電圧クランプ機能が備わっていることが確認できる。

・ソフトスイッチングキャパシタの容量変更によるソフトスイッチング波形の検証

図 4.20 においてソフトスイッチングキャパシタの値を 1 nF と 10 nF にした場合のスイッチング波形を図 4.22 に示す。

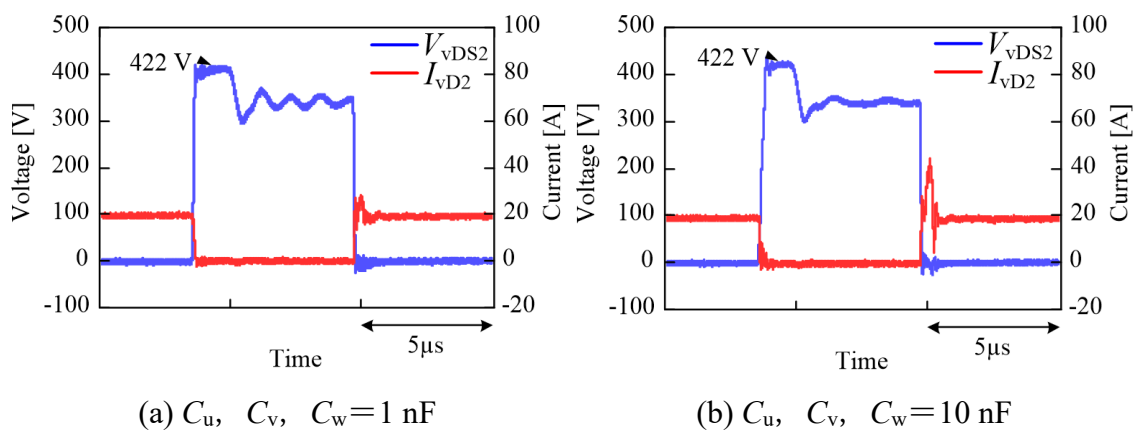


図 4.22 ソフトスイッチングキャパシタの値によるスイッチング波形の比較

図 4.22 (a)はソフトスイッチングキャパシタの値が 1 nF、図 4.22 (b)は 10 nF 時のスイッチング素子 S の電圧、電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 4.23、図 4.26 に示す。

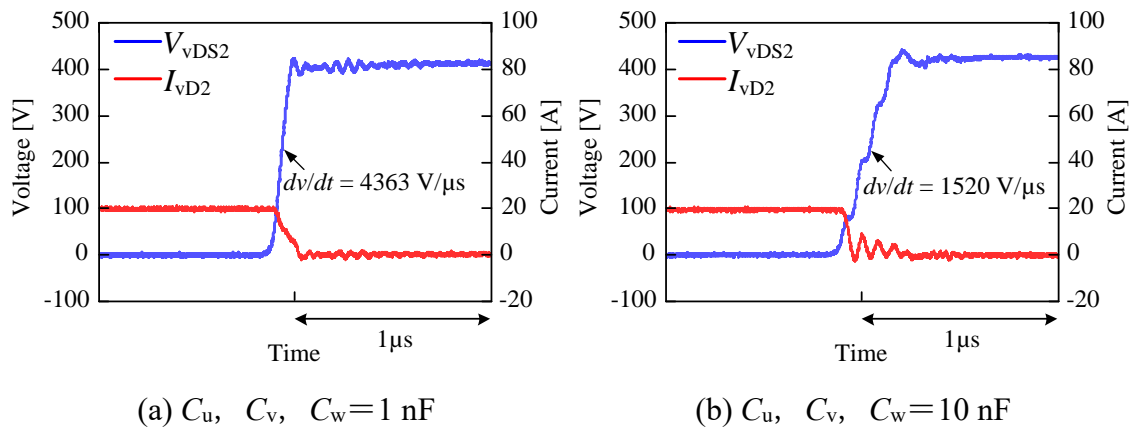


図 4.23 ソフトスイッチングキャパシタの値によるターンオフ時拡大波形

図 4.23(a)は $C_u, C_v, C_w = 1 \text{ nF}$ 時、図 4.23(b)は $C_u, C_v, C_w = 10 \text{ nF}$ 時のスイッチング素子 S のターンオフ時の電圧・電流波形である。ターンオフ時の電圧増加率 dV/dt を比較すると $C_u, C_v, C_w = 1 \text{ nF}$ では電圧増加率 dV/dt の傾きが $4363 \text{ V}/\mu\text{s}$ 、 $C_u, C_v, C_w = 10 \text{ nF}$ では $1520 \text{ V}/\mu\text{s}$ であり、ソフトスイッチングキャパシタ値によって電圧増加率を可変できる。4.1 章の(4.1)式の理論式より計算すると $C_u, C_v, C_w = 1 \text{ nF}$ では $5000 \text{ V}/\mu\text{s}$ 、 $C_u, C_v, C_w = 10 \text{ nF}$ では $1538 \text{ V}/\mu\text{s}$ であり、同様の傾向にある。これらより、電圧増加率 dV/dt の傾きが小さくなることでターンオフ時のスイッチング損失が低減でき、ZVS 動作となることが確認できる。また、電圧増加率 dV/dt の傾きは、EMI ノイズの発生に関係している。次に、電圧増加率 dV/dt の傾きにより発生する EMI ノイズ波形について検証する。図 4.24、図 4.25 に EMI ノイズ測定の回路構成と EMI ノイズの測定結果を示す。

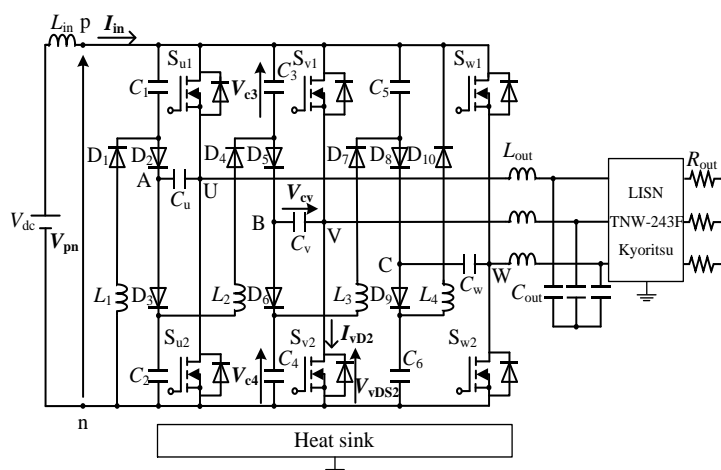


図 4.24 EMI ノイズ測定回路構成

図 4.24 は EMI ノイズ測定回路構成であり、ソフトスイッチング型バレーフイルスナバの出力端子に協立テクノロジー製の三相 LISN(TNW-243F)を接続して雑音端子電圧を観測することで EMI ノイズを測定できる。

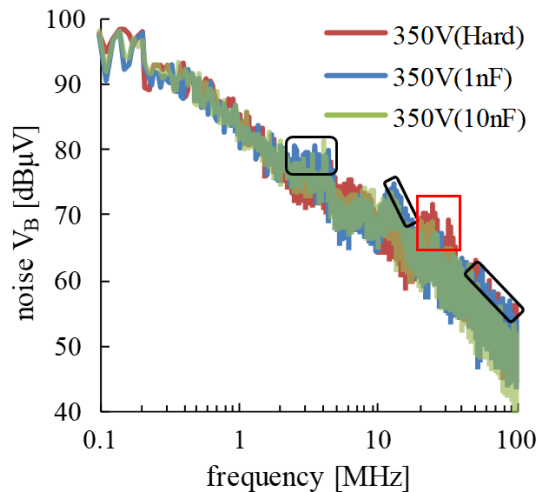


図 4.25 電圧増加率 dV/dt の傾きによる EMI ノイズの比較

図 4.25 はハードスイッチング型とソフトスイッチング型での C_u , C_v , $C_w=1$ nF、 C_u , C_v , $C_w=10$ nF における EMI ノイズの測定結果である。ハードスイッチング型とソフトスイッチング型を比較すると赤の四角で囲った 20 MHz～30 MHz 付近では、ソフトスイッチング型の EMI ノイズが低減できていることが確

認できる。次にソフトスイッチングキャパシタの値による電圧増加率 dV/dt の傾きを変えた場合について比較すると黒の四角で囲った部分において電圧増加率 dV/dt の傾きが小さい C_u , C_v , $C_w=10\text{ nF}$ 時の EMI ノイズが低減できている。よって、電圧増加率 dV/dt の傾きによる EMI ノイズ低減効果が確認できる。

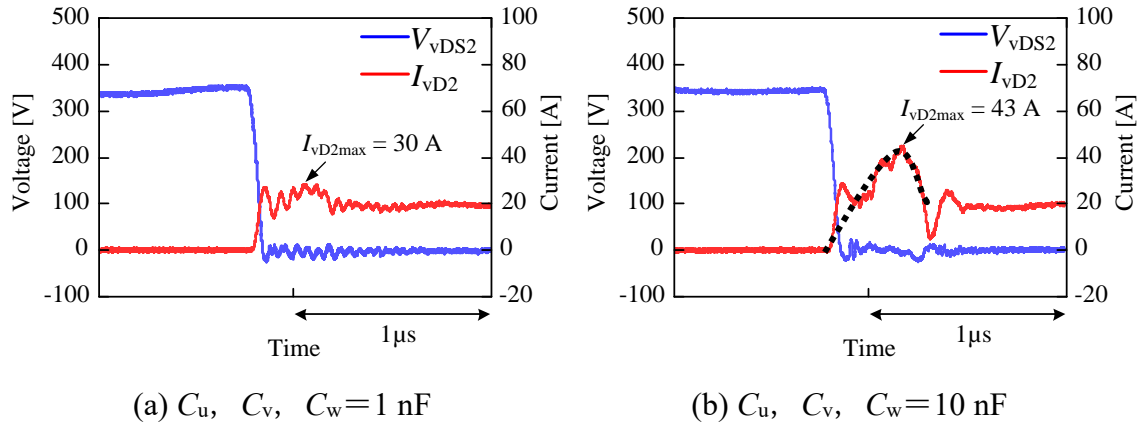


図 4.26 ソフトスイッチングキャパシタの値によるターンオン時拡大波形

図 4.26(a)は C_u , C_v , $C_w=1\text{ nF}$ 時、図 4.26(b)は C_u , C_v , $C_w=10\text{ nF}$ 時のスイッチング素子 S のターンオン時の電圧・電流波形である。ターンオン時のドレイン電流の最大値を比較するとソフトスイッチングキャパシタの値に比例して最大値が大きくなる。4.1 章の(4.2)式の理論式より計算すると C_u , C_v , $C_w=1\text{ nF}$ では 30.8 A 、 C_u , C_v , $C_w=10\text{ nF}$ では 40.4 A であり、同様の傾向にある。ターンオン時の ZCS 動作に関しては、どちらの波形においても共振電流とは別の要因で発生する電流により、不完全 ZCS 動作となっていることが確認できる。不完全 ZCS 時の電流経路について図 4.27 に示す。

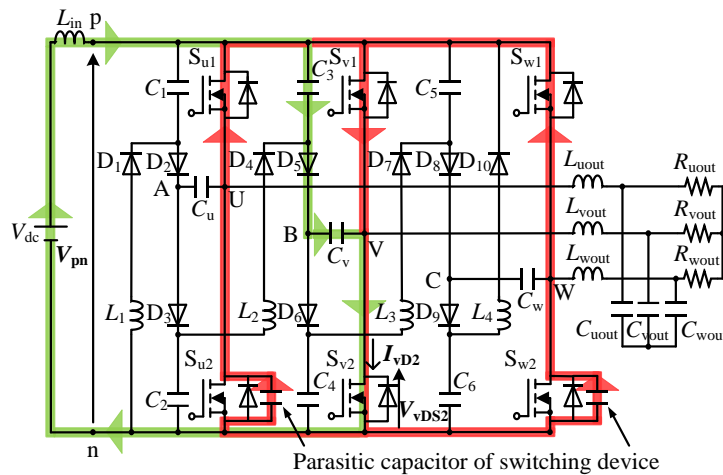


図 4.27 ソフトスイッチング型バレーフィルスナバにおける
不完全 ZCS 時の電流経路

本来であれば図 4.27 の緑で示す経路のみの電流によって図 4.26(b)に示す黒の破線の電流となり ZCS 動作が可能となる。しかし、図 4.27 の緑で示す経路に加えて赤で示す経路での電流が発生することにより不完全 ZCS 動作となる。この赤の経路はスイッチング素子の持つ寄生キャパシタからの放電電流によって発生する。この放電電流を遮断することで ZCS 動作が可能となる。提案したソフトスイッチング型バレーフィルスナバでは構造上、放電電流を遮断することができない。以上より、ソフトスイッチング型バレーフィルスナバでは、スイッチング素子 S のサージ電圧の抑制に加えて、電圧増加率 dV/dt をソフトスイッチングキャパシタの値によって調整でき、EMI ノイズの低減とソフトスイッチング機能(ZVS 動作のみ)が確認できる。

4.6 ソフトスイッチング型バレーフィルスナバの課題

ソフトスイッチング型バレーフィルスナバでは、デバイスの寄生容量により不完全 ZCS 動作となり、ターンオン時のスイッチング損失の低減効果がないため、高周波化による電力変換効率の低下が懸念される。そこで、不完全 ZCS 動作を改善する手法が必要となる。

4.7 まとめ

本章では、第 3 章で述べたハードスイッチング型バレーフィルスナバの欠点であるスイッチング損失の低減手法となるソフトスイッチング機能を追加したソフトスイッチング型バレーフィルスナバの基本動作について述べた。ハードスイッチング型バレーフィルスナバ回路と同等の電圧クランプ機能に加えてソフトスイッチング時の動作経路を含めて 8 つの動作モードを持ち、ソフトスイッチングとして ZVS 動作と ZCS 動作に関する定式化を行った。その後、三相の PWM インバータに適用するソフトスイッチング型バレーフィルスナバを構成する素子の役割と設計方法について述べ、シミュレーションにより、ZVS/ZCS 動作に重要なソフトスイッチングキャパシタ C_u , C_v , C_w の値によるスイッチング損失の減少傾向を確認した。シミュレーションにおいて原理通りの動作となることを確認したのちに、実機検証を行うために実機回路の設計方法と製作手順について述べ、実機検証を行った。実機検証における ZVS 動作に関する電圧増加率 dV/dt の値はソフトスイッチングキャパシタ C_u , C_v , $C_w=10\text{ nF}$ 時の理論値と比べて誤差 1.2%、ZCS 動作に関するドレイン電流の最大値の場合は誤差 6.4% であることから理論値と実験値が非常によく一致することを検証より確認した。また、電圧増加率 dV/dt の可変により、EMI ノイズの低減効果についても確認できた。しかし、ZCS 動作に関して電流ピーク値はほぼ一致するが寄生キャパシタの放電電流により不完全 ZCS 動作となることから ZVS 動作のみのソフトスイッチング機能を有するがわかった。このことからソフトスイッチング型バレーフィルスナバの課題で述べたように不完全 ZCS 動作によりターンオン時のスイッチング損失の低減効果がないため、不完全 ZCS 動作を改善する方式について検討が必要となることが判明した。

第5章 ソフトスイッチング改良型バレーフィルスナバの回路構成

本章では、第 4 章で述べたソフトスイッチング型バレーフィルスナバの電圧クランプ機能に加えて、欠点であった不完全 ZCS 動作を改善し、スイッチング損失を低減する手法としてソフトスイッチング改良型バレーフィルスナバについて述べる。ソフトスイッチング改良型バレーフィルスナバを構成するために追加する素子の役割と設計方法について述べたあとにシミュレーションにより、適正パラメータの決定とスナバ機能の確認を行う。最後に、三相 PWM インバータによる実機検証を行うために、実機回路の設計方法と製作手順について述べてから実機検証を行い、スナバ機能とソフトスイッチングによるスイッチング損失の低減効果について確認する。

5.1 ソフトスイッチング改良型バレーフィルスナバの動作原理

図 5.1 に三相 PWM インバータに適用したソフトスイッチング型バレーフィルスナバ回路を示す。赤の素子はソフトスイッチング型バレーフィルスナバに追加したことを表す。動作原理に関しては、ソフトスイッチング型と同じである。

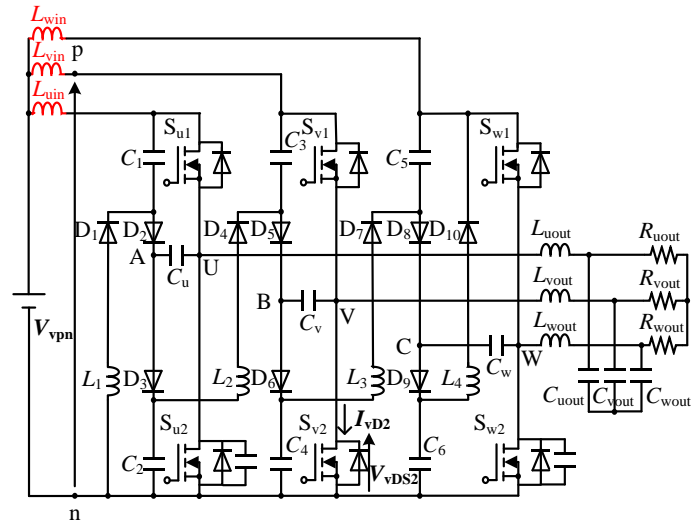


図 5.1 ソフトスイッチング改良型バレーフィルスナバ

5.2 改良型にともなうインダクタ構造の役割と設計

ソフトスイッチング改良型バレーフィルスナバを構成するために用いる素子の役割とパラメータの設計方法について述べる。図 5.2 にソフトスイッチング改良型バレーフィルスナバの構成を示す。

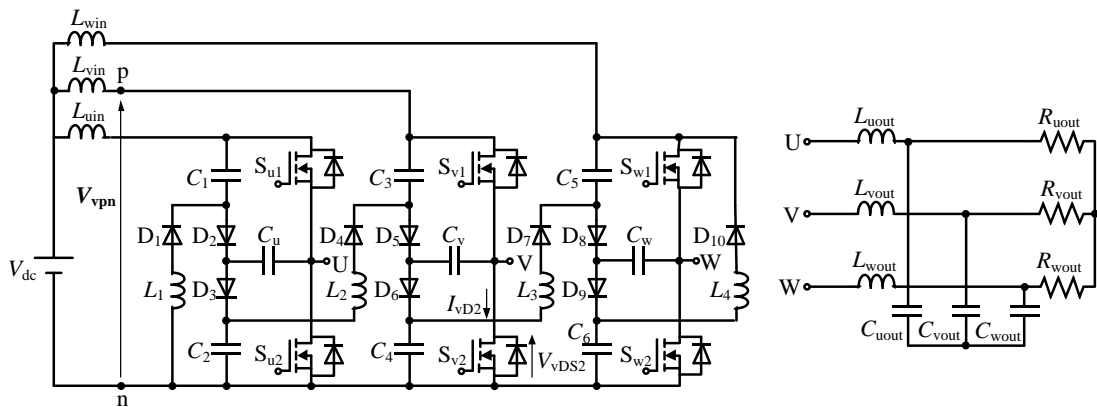


図 5.2 ソフトスイッチング改良型バレーフィルスナバの構成

図 5.2 に用いるインダクタとキャパシタとダイオードの役割について説明する。

- ・入力インダクタ $L_{\text{uin}}, L_{\text{vin}}, L_{\text{win}}$

不完全 ZCS 動作を解消するために放電電流を遮断する役割を担う。

- ・突入電流防止インダクタ $L_1 \sim L_4$

ソフトスイッチング型バレーフィルスナバと同様に ZCS 動作にともない発生する突入電流の抑制ために機能する。

- ・バレーフィルスナバキャパシタ $C_1 \sim C_6$

ソフトスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオフ、ターンオン時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタに授受する役割を担う。

- ・ソフトスイッチングキャパシタ C_u, C_v, C_w

ソフトスイッチング型バレーフィルスナバと同様にソフトスイッチングを行うために機能する。

- ・バレーフィルスナバ放電時用ダイオード D_1, D_4, D_7, D_{10}

ソフトスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオン時にバレーフィルスナバキャパシタ $C_1 \sim C_6$ に蓄えられたエネルギーを入力インダクタ L_{in} に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。

- ・バレーフィルスナバ充電時用ダイオード $D_2, D_3, D_5, D_6, D_8, D_9$

ソフトスイッチング型バレーフィルスナバと同様にスイッチング素子 S のターンオフ時に入力インダクタ L_{in} に蓄えられたエネルギーをバレーフィルスナバキャパシタ $C_1 \sim C_6$ に授受させるための導通経路の生成とバレーフィルスナバキャパシタ $C_1 \sim C_6$ の電圧バランスを調整する役割を担う。

5.3 シミュレーションによる評価

ソフトスイッチング改良型バレーフィルスナバにおけるシミュレーション結果について述べる。5.2 章で定めた素子パラメータをもとにシミュレーションを行う。

5.3.1 シミュレーション条件

シミュレーション条件と評価方法について述べる。ソフトスイッチング改良型バレーフィルスナバでは、電圧クランプ機能に加えてソフトスイッチング機能の確認として ZCS 動作を評価する。

表 5.1 にシミュレーションで用いる回路パラメータ、シミュレーション回路を図 5.3 に示す。

表 5.1 ソフトスイッチング型バレーフィルスナバにおける
シミュレーション回路パラメータ

| Devices | Value |
|---|--------------|
| Input Voltage V_{dc} | 350 V |
| Input Power P_{in} | 4 kW |
| Input Inductance $L_{uin}, L_{vin}, L_{win}$ | 4.2 μ H |
| Inductance L_1, L_2, L_3, L_4 | 8.2 μ H |
| Capacitance of Valley-fill snubber C_1, C_6 | 1 μ F |
| Capacitance of Valley-fill snubber C_2, C_5 | 3 μ F |
| Capacitance of Valley-fill snubber C_3, C_4 | 1.5 μ F |
| Capacitance of soft switching C_u, C_v, C_w | 10 nF |
| Inductance of LC Filter L_o | 350 μ H |
| Capacitance of LC Filter C_o | 10 μ F |
| Output Voltage V_o | 100 V |
| Output Resistance R_o | 6.2 Ω |
| Gate Frequency f_g | 20 kHz |

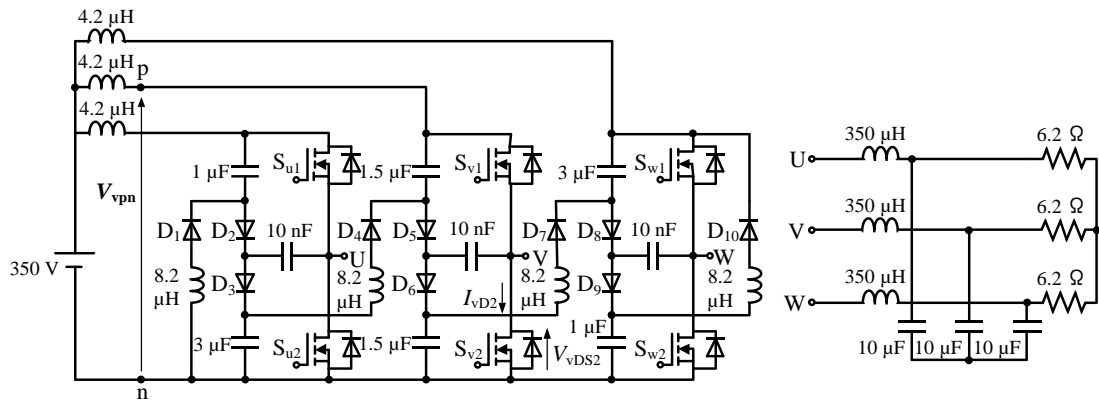


図 5.3 ソフトスイッチング改良型バレーフィルスナバにおける
シミュレーション回路

図 5.3 の入力インダクタの値は、ソフトスイッチング型で使用したインダク

タを各相にも用いており、シミュレーションを行い、不完全 ZCS 動作を改善できるか確認するために以下の条件でシミュレーションを行い、ソフトスイッチング改良型バレーフィルスナバの動作を確認する。

・ソフトスイッチング改良型バレーフィルスナバによるソフトスイッチング波形の検証

ソフトスイッチング改良型バレーフィルスナバのスイッチング波形に関するシミュレーションを行い、ソフトスイッチング機能を確認する。

5.3.2 シミュレーション結果

シミュレーション条件より、ソフトスイッチング改良型バレーフィルスナバにおけるソフトスイッチング機能についてのシミュレーション結果について述べる。

・ソフトスイッチング改良型バレーフィルスナバによるソフトスイッチング波形の検証

ソフトスイッチング改良型バレーフィルスナバのスイッチング波形を図 5.4 に示す。

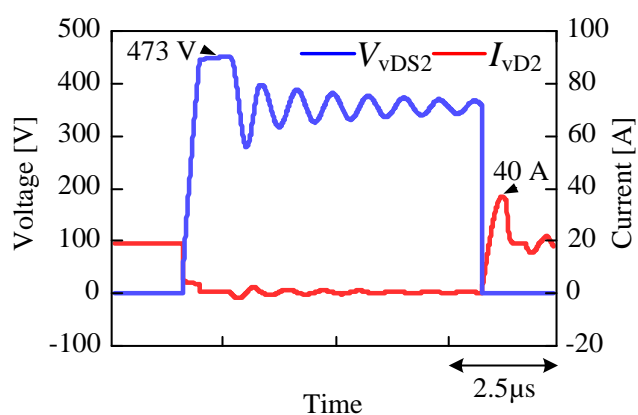


図 5.4 ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング波形

図 5.4 はスイッチング素子 S の電圧、電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 5.5 に示す。

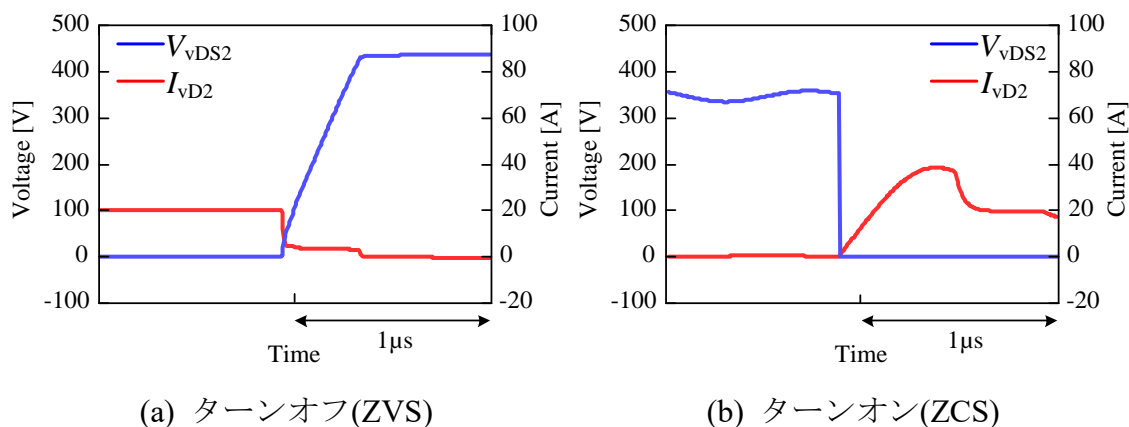


図 5.5 ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング時拡大波形

図 5.5(a)はスイッチング素子 S のターンオフ時の電圧・電流波形である。ソフトスイッチング型と同様にターンオフ時の電圧増加率 dV/dt をソフトスイッチングキャパシタの値で可変でき、スイッチング損失が低減できることから ZVS 動作が可能となる。

図 5.5(b)はスイッチング素子 S のターンオン時の電圧・電流波形である。

電圧と電流の重なりがほぼ 0 であり、理想的な ZCS 動作になっていることが確認できる。

5.4 実験基板の製作

実験検証に向けてソフトスイッチング改良型バレーフィルスナバ回路の実機装置の製作について述べる。シミュレーション結果と同様に三相 PWM インバータにおいて実験検証をするための素子選定と基板設計を行う。

5.4.1 装置構成

ソフトスイッチング改良型バレーフィルスナバの実機検証に向けて実機製作に用いる素子選定について述べる。図 5.6 に用いる素子のパラメータを表 5.3 に示す。

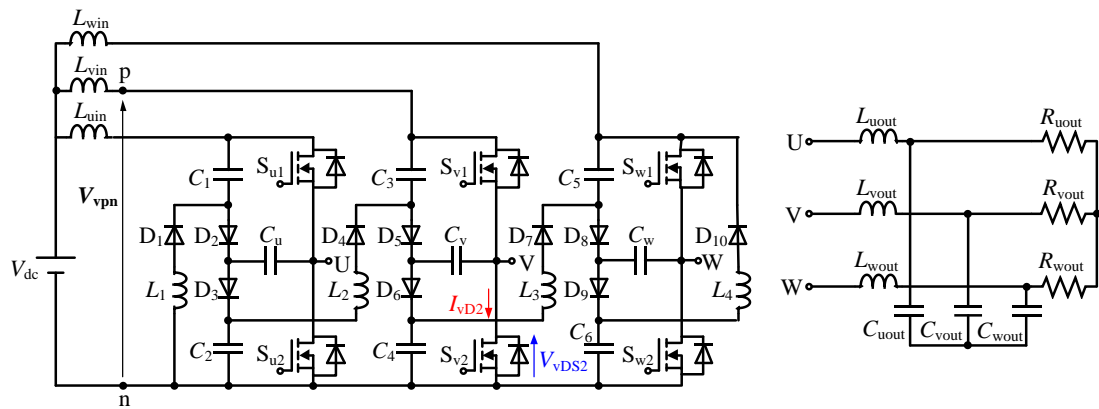


図 5.6 ソフトスイッチング改良型バレーフィルスナバの回路図

表 5.2 ソフトスイッチング型バレーフィルスナバにおける
実験回路パラメータ

| Devices | Maximum ratings | Value or types |
|--|------------------------------------|----------------|
| Input Inductor $L_{uin}, L_{vin}, L_{win}$ | | 4.2 μ H |
| Inductors L_1, L_2, L_3, L_4 | | 8.2 μ H |
| Capacitors of Valley-fill snubber C_1, C_6 | 630 V | 1 μ F |
| Capacitors of Valley-fill snubber C_2, C_5 | 630 V | 3 μ F |
| Capacitors of Valley-fill snubber C_3, C_4 | 630 V | 1.5 μ F |
| Capacitors of soft switching C_u, C_v, C_w | 630 V | 10 nF |
| Diode of Valley-fill snubber $D_1 \sim D_{10}$ | $V_R : 1.2$ kV $I_F : 25.5$ A | C4D10120A |
| Inductors of LC Filter $L_{uout}, L_{vout}, L_{wout}$ | 60 A | 350 μ H |
| Capacitors of LC Filter $C_{uout}, C_{vout}, C_{wout}$ | 500 V | 10 μ F |
| Output Resistances $R_{uout}, R_{vout}, R_{wout}$ | 5.7 kW | 6.2 Ω |
| SiC Half-Bridge | $V_{DS} : 1.2$ kV $I_D : 193$ A | CAS120M12BM2 |
| SiC MOSFET Driver | | CGD15HB62P1 |

表 5.2 に示す実験回路に用いる素子を選定した素子の詳細について述べる。

• 入力インダクタ $L_{uin}, L_{vin}, L_{win}$

入力インダクタ $L_{uin}, L_{vin}, L_{win}$ の選定に関して、ソフトスイッチング型バレーフィルスナバと同じ容量で 4.2 μ H の空心インダクタを使用する。

• インダクタ L_1, L_2, L_3, L_4

インダクタ L_1, L_2, L_3, L_4 の選定に関してソフトスイッチング型バレーフィルスナバと同じ、 $L_{in} = 8.2$ μ H のインダクタを使用する。

・ バレーフィルスナバキャパシタ $C_1 \sim C_6$

バレーフィルスナバキャパシタ $C_1 \sim C_6$ の選定に関して、4.2 章で述べたオーダとシミュレーションの結果より、 $C_1, C_6 = 1 \mu\text{H}$ 、 $C_2, C_5 = 3 \mu\text{H}$ 、 $C_3, C_4 = 1.5 \mu\text{H}$ 、耐圧 630 V の日本ケミコン製のフィルコンデンサを使用する。

・ バレーフィルスナバダイオード $D_1 \sim D_7$

バレーフィルスナバダイオード $D_1 \sim D_7$ の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、ダイオードには数十 A の電流が流れるため、定格 1.2 kV、25.5 A の CREE 製のショットキーバリアダイオードを使用する。

・ LC フィルタに用いる出力インダクタ $L_{uout}, L_{vout}, L_{wout}$

出力インダクタ $L_{uout}, L_{vout}, L_{wout}$ の選定に関して、シミュレーションの結果より、 $L_{uout}, L_{vout}, L_{wout} = 350 \mu\text{H}$ 、定格電流 60 A のポニー電機製のインダクタを使用する。

・ LC フィルタに用いる出力キャパシタ $C_{uout}, C_{vout}, C_{wout}$

出力キャパシタ $C_{uout}, C_{vout}, C_{wout}$ の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、 $C_o = 10 \mu\text{F}$ 、定格電圧 500 V のキャパシタを使用する。

・ 出力抵抗 $R_{uout}, R_{vout}, R_{wout}$

出力抵抗 R_o の選定に関して、4.2 章で述べた特徴とシミュレーションの結果より、 16Ω の山菱電機製の負荷抵抗器と 10Ω ヒータを並列接続して $R_{uout}, R_{vout}, R_{wout} = 6.2 \Omega$ を使用する。

・ スイッチング素子 S

スイッチング素子 S の選定に関して、CREE 製の SiC-MOSFET のハーフブリッジモジュール(CAS120M12BM2)を使用する。

5.4.2 基板製作

図 5.7 に外部発注により作成したソフトスイッチング改良型バレーフィルスナバ基板の配線図を示す。図 5.8 に製作した実機回路の写真を示す。基板サイズは、基板上にバレーフィルスナバと三相分のパワーデバイスを配置できるように縦 80 mm、横 320 mm の両面基盤を使用する。

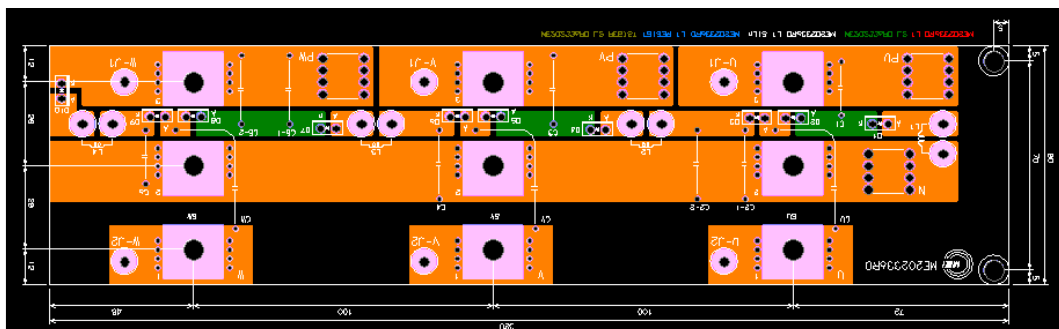


図 5.7 ソフトスイッチング改良型バレーフィルスナバ回路の
PCB レイアウト



図 5.8 ソフトスイッチング改良型バレーフィルスナバの実機回路写真

図 5.8 より、選定した素子とデバイスが基板上に実装されていることがわかる。次に、この回路を用いて実験検証を行い、ソフトスイッチング改良型バレーフィルスナバのソフトスイッチング機能を確認する。

5.5 実験による評価

基盤実装したソフトスイッチング改良型バレーフィルスナバにおける実験結果について述べる。

5.5.1 実験条件

実験条件と評価方法について述べる。ここでは、シミュレーション結果と実験結果を比較することで、ソフトスイッチング改良型バレーフィルスナバの動作とソフトスイッチング機能を評価する。

表 5.3 に実験回路パラメータと実験回路を図 5.9 に示す。

表 5.3 ソフトスイッチング改良型バレーフィルスナバにおける
実験回路パラメータ

| Devices | Value |
|------------------------|--------|
| Input Voltage V_{dc} | 350 V |
| Input Power P_{in} | 4 kW |
| Modulation ratio m | 0.8 |
| Gate Frequency f_g | 20 kHz |
| Signal Frequency f_s | 50 Hz |

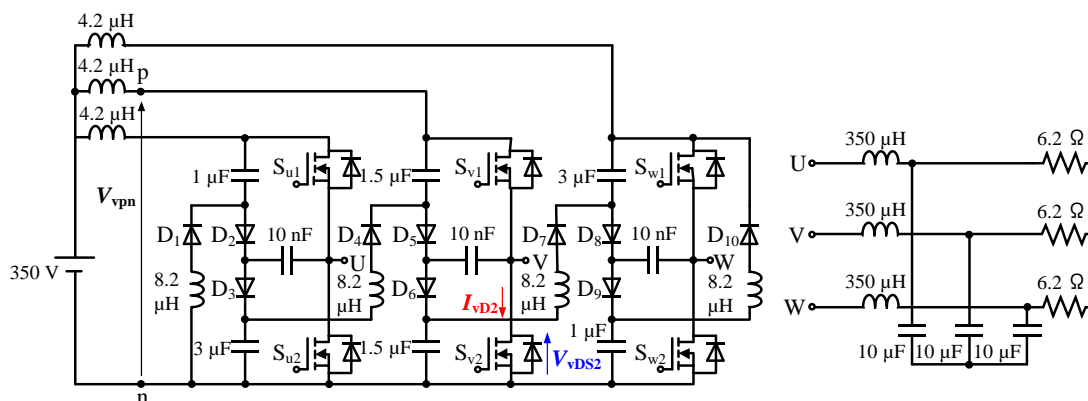


図 5.9 ソフトスイッチング改良型バレーフィルスナバの実験回路

シミュレーションと同様に以下の条件で実験検証を行い、ソフトスイッチング改良型バレーフィルスナバのソフトスイッチング機能を確認する。

・ソフトスイッチング改良型バレーフィルスナバによるソフトスイッチング波形の検証

ソフトスイッチング改良型バレーフィルスナバのスイッチング波形に関する実験検証を行い、ソフトスイッチング機能を確認する。

5.5.2 実験結果

実験条件より、ソフトスイッチング改良型バレーフィルスナバによるソフトスイッチング機能の実験結果について述べる。

・ソフトスイッチング改良型バレーフィルスナバによるソフトスイッチング波形の検証

ソフトスイッチング改良型バレーフィルスナバのソフトスイッチング機能を確認するために、スイッチング素子 S のスイッチング波形の実測を図 5.10 に示す。

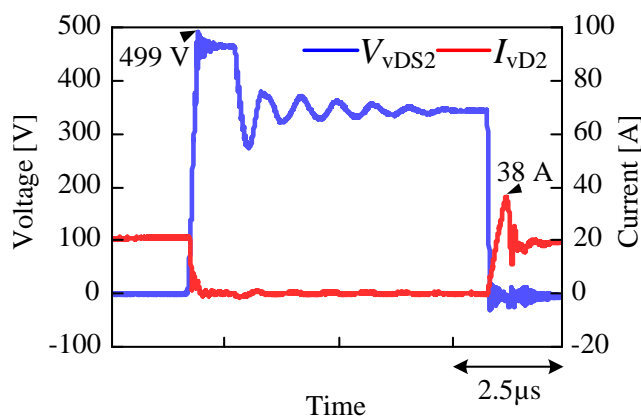


図 5.10 ソフトスイッチング改良型バレーフィルスナバにおける
スイッチング波形

図 5.10 はスイッチング素子 S の電圧、電流波形であり、スイッチング損失について解析を行うためにターンオフ、ターンオン時の拡大波形を図 5.11 に示す。

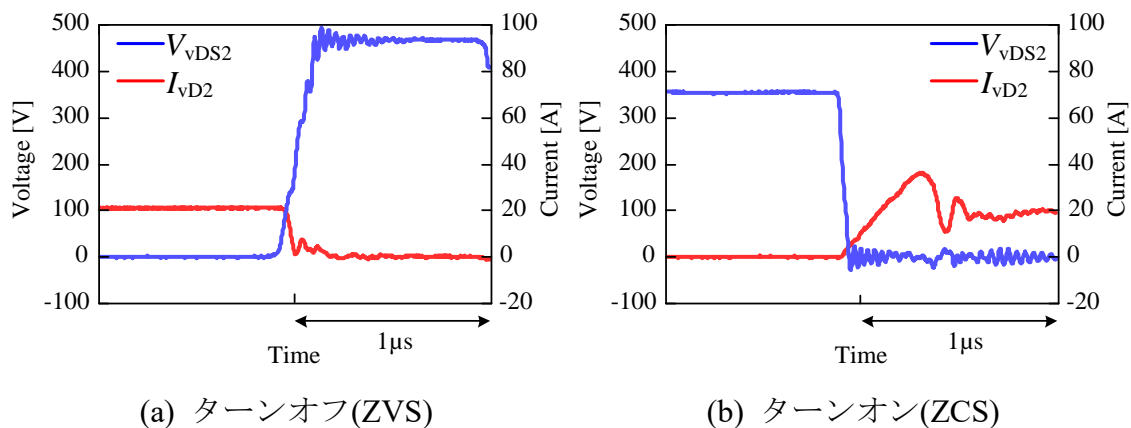


図 5.11 ソフトスイッチング改良型バレーフィルスナバにおけるスイッチング時拡大波形

図 5.11 (a)はスイッチング素子 S のターンオフ時の電圧・電流波形である。ターンオフ時の電圧増加率 dV/dt をソフトスイッチングキャパシタの値で可変でき、スイッチング損失が低減できることから ZVS 動作が可能となる。

図 5.11 (b)はスイッチング素子 S のターンオン時の電圧・電流波形である。シミュレーション波形とほぼ等しく、理想的な ZCS 動作になっていることが確認できる。ZCS 時の電流経路について図 5.12 に示す。

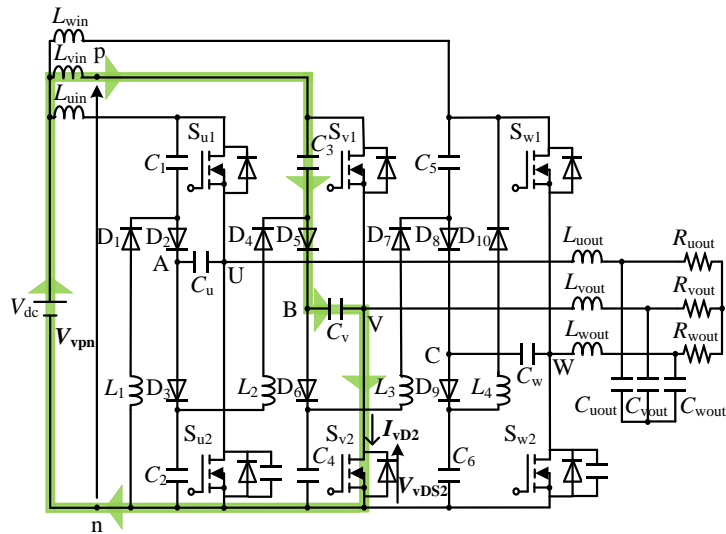


図 5.12 ソフトスイッチング改良型バレーフィルスナバ
による ZCS 時の電流経路

図 5.12 の緑で示す経路のみの電流となっており、ZCS 動作となる。以上より、ソフトスイッチング改良型バレーフィルスナバでは、電圧増加率 dV/dt をソフトスイッチングキャパシタの値によって調整でき、ソフトスイッチング機能 (ZVS/ZCS) が確認できる。

5.6 まとめ

本章では、第 4 章で述べたソフトスイッチング型バレーフィルスナバの欠点である不完全 ZCS 動作によりターンオフスイッチング損失の発生についてキャパシタの放電経路にインダクタを挿入する構造に改良したソフトスイッチング改良型バレーフィルスナバの構造について述べた。その後、三相の PWM インバータに適用するソフトスイッチング改良型バレーフィルスナバを構成する素子の役割と設計方法について述べ、シミュレーションにより、ZVS/ZCS 動作によるスイッチング損失の減少傾向を確認した。シミュレーションにおいて ZCS 動作を確認したのちに、実機検証を行うために実機回路の設計方法と製作手順について述べ、実機検証を行った。実機検証における、ZCS 動作時に放電電流が流れることなく理想的なソフトスイッチングを確認した。しかし、電圧クランプ機

能に関しては定式化した理論値と一致しなかった。この原因としては、理論値の定式化時に用いた条件が満たせていないため差異が生じたと考えられる。今後、理論式を見直し、電流リップルを考慮することでソフトスイッチング改良型バレーフィルスナバにおいても理論値と実験値を一致できると考えられる。

第6章 スナバ性能の比較

本章では、従来法の RCD スナバと提案したハードスイッチング型、ソフトスイッチング型、ソフトスイッチング改良型バレーフィルスナバのサージ電圧クランプ機能と電力変換効率の比較を行い、提案法の有用性について述べる。

6.1 サージ電圧抑制

提案したハードスイッチング型、ソフトスイッチング型、ソフトスイッチング改良型バレーフィルスナバにおけるサージ電圧クランプ機能の実測による比較を図 6.1 に示す。

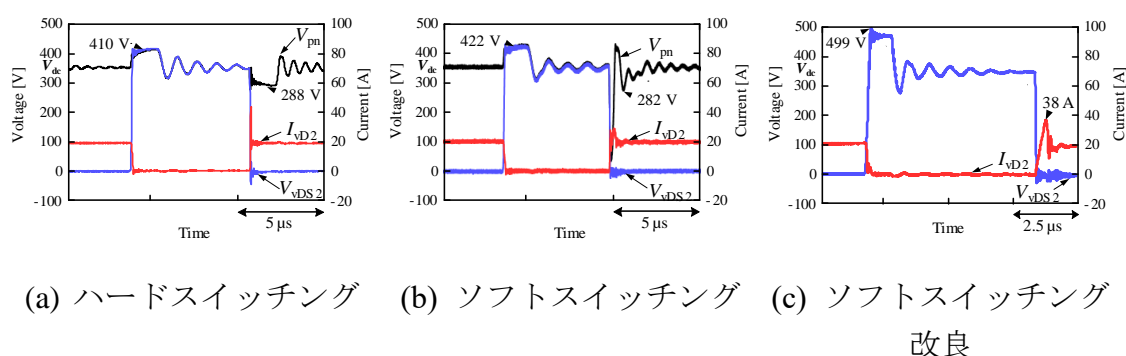


図 6.1 提案したバレーフィルスナバの種類における電圧クランプの比較

図 6.1 よりどの方式においても電圧クランプ機能が確認できる。3.1 章で導出した(3.6)、(3.7)式では入力電圧 350 V で計算すると充電電圧理論値は 408 V、放電電圧理論値は 306 V となる。ソフトスイッチング改良型の電圧クランプ値には(3.6)式で計算した値と比べて、クランプ値が大きくなってしまいが、これに関してもリップル電流による影響である。値を一致させるためには、リップル電流を考慮した関係式を用いて理論値を算出することで解決できる。こちらに関しては今後の課題とする。以上のことから提案したバレーフィルスナバには電圧クランプ機能を有し、過電圧の抑制に効果的であることを示せる。

6.2 電力変換効率

提案したハードスイッチング型、ソフトスイッチング型、ソフトスイッチング改良型バレーフィルスナバにおける電力変換効率を実測による比較を行う。入力電圧 350 V、入力電力 4kVA における定格 1.2 kV、120 A の SiC-MOSFET を使用したスナバ種類による効率比較を表 6.1 に示す。また、定格 1.2 kV、300 A の Si-IGBT を使用したスナバ種類による効率比較を表 6.2 に示す。

表 6.1 SiC-MOSFET を使用したスナバ種類による効率比較

| Snubber types | Input power P_{in} | Output power P_{out} | Efficiency η |
|-----------------------------------|----------------------|------------------------|-------------------|
| RCD | 3914 W | 3800 W | 97.1 % |
| Valley-fill (Hard switching) | 3915 W | 3814 W | 97.4 % |
| Valley-fill (Soft switching) | 3832 W | 3732 W | 97.2 % |
| Valley-fill (Improved ZVS/ZCS) | 3830 W | 3742 W | 97.7 % |

表 6.1 より SiC-MOSFET 使用時における RCD スナバとバレーフィルスナバでの効率の比較では、RCD スナバを搭載した場合の変換効率は 97.1%で提案したハードスイッチング型バレーフィルスナバを用いた場合の変換効率は 97.4%となる。また、ソフトスイッチング型バレーフィルスナバを用いた場合の変換効率は 97.2%、改良型では 97.7%となる。この結果より、ハードスイッチング型バレーフィルスナバを用いることで従来の RCD スナバよりも電力変換効率が 0.3%向上できるが、ソフトスイッチング型バレーフィルスナバを用いる場合、SiC-MOSFET の寄生容量により、不完全 ZCS 動作となるため、ハード型よりも効率が低下することからソフトスイッチング改良型バレーフィルスナバを用いることで従来の RCD スナバよりも電力変換効率が 0.8%向上でき、使用するデバイスが SiC-MOSFET のような寄生容量の大きい場合はソフトスイッチング改良型バレーフィルスナバが効果的であるといえる。

表 6.2 Si-IGBT を使用したスナバ種類による効率比較

| Snubber types | Input power P_{in} | Output power P_{out} | Efficiency η |
|---------------------------------|----------------------|------------------------|-------------------|
| RCD | 3726 W | 3395 W | 91.1 % |
| Valley-fill (Hard switching) | 3640 W | 3340 W | 91.8 % |
| Valley-fill (Soft switching) | 3633 W | 3346 W | 92.1 % |

表 6.2 より Si-IGBT 使用時における RCD スナバとバレーフィルスナバでの効率比較では RCD スナバを搭載した場合の変換効率は 91.1% で提案したハードスイッチング型バレーフィルスナバを用いた場合の変換効率は 91.8% となる。また、ソフトスイッチング型バレーフィルスナバを用いた場合、92.1% となる。この結果より、ハードスイッチング型バレーフィルスナバを用いることで従来の RCD スナバよりも電力変換効率が 0.7% 向上でき、ソフトスイッチング型バレーフィルスナバを用いることで従来の RCD スナバよりも電力変換効率が 1.0% 向上できる。使用するデバイスが Si-IGBT のような寄生容量の小さい場合はソフトスイッチング型バレーフィルスナバにおいても ZCS 動作が可能となり、効果的であるといえる。

6.3 まとめ

本章では、従来法の RCD スナバと提案したハードスイッチング型、ソフトスイッチング型、ソフトスイッチング改良型バレーフィルスナバのサージ電圧クランプ機能と電力変換効率の比較を行い、提案法の有用性について述べた。使用するデバイスの種類によって、有効的な回路方式が異なることが判明した。寄生容量の大きいデバイス(SiC-MOSFET)を用いる場合はソフトスイッチング改良型バレーフィルスナバが効果的で従来法の RCD スナバと比べて効率が 0.6 ポイント向上した。寄生容量が小さいデバイス(Si-IGBT)を用いる場合はソフトスイッチング型が効果的で従来法の RCD スナバと比べて効率が 1.0 ポイント向上し

た。以上の結果より、使用するデバイスの特徴によって回路方式を選択することで、従来デバイスと次世代デバイスにおいて、ともに有用性のある回路方式であることが示せた。

第7章 今後の課題および総論

本章では、提案したバレーフィルスナバにおける今後の予定と総論として各章を要約しまとめる。

7.1 今後の課題

今後の課題としては、ソフトスイッチング改良型バレーフィルスナバにおいて、電圧クランプ機能に関する理論式について、電流リプルを考慮した式を組み込み、再び定式化する必要がある。次に入力電力 4 kW における電力変換効率が SiC-MOSFET を用いた場合 97.7 %、Si-IGBT を用いた場合 92.1 %と比較的に効率が低いことがあげられる。これは、用いるデバイスの定格に対して、低電圧、低電流領域での動作を行っているためだと考えられる。そこで、回生システムを導入し、大容量下での実験検証が今後の課題となる。

7.2 総論

本論文では、バレーフィル回路をスナバに応用したバレーフィルスナバ回路を開発し、その動作と機能をシミュレーションと実験検証によりさまざまなパワーコンバータへ応用して評価した。

第 1 章では、本研究の背景及び目的、論文構成について述べた。

第 2 章では、パワーエレクトロニクス回路におけるスナバ回路の機能と種類について述べ、従来法の欠点とされているスナバ損失を低減させる手法として既存のバレーフィル回路を応用してスナバ用途として利用するスナバ損失を発生させないスナバ回路について説明した。

第 3 章では、提案法のハードスイッチング型バレーフィルスナバの回路構成と動作原理について説明し、動作原理とスナバ機能である電圧クランプ値の定式化を行った。シミュレーションと実機検証を行うために必要な回路パラメータおよび駆動回路、負荷回路の選定方法や熱設計について述べ、シミュレーショ

ン及び実験における回路の動作確認と性能評価を行い、スナバ機能である電圧クランプを行えることを示した。そしてハードスイッチング型バレーフィルスナバの課題について述べ、さらなる電力変換効率向上を目指した方式について提案した。

第 4 章では、ソフトスイッチング型バレーフィルスナバの回路構成と動作原理について説明し、さらなる電力変換効率の向上にむけてスイッチング損失を低減する方式を追加して動作原理とソフトスイッチング機能に関する定式化を行った。シミュレーションと実機検証を行うために必要な回路パラメータおよび駆動回路、負荷回路の選定方法について述べ、シミュレーション及び実験における回路の動作確認と性能評価を行い、ソフトスイッチング機能であるターンオフ時の ZVS 動作について示した。ソフトスイッチング型バレーフィルスナバの課題としてターンオン時の ZCS 動作に関しては寄生容量からの放電電流より不完全 ZCS 動作となることから、さらなる電力変換効率向上を目指した不完全 ZCS 動作を改善する方式について提案した。

第 5 章では、不完全 ZCS 動作を改善する方式としてソフトスイッチング改良型バレーフィルスナバの回路構成について説明し、理想的な ZCS 動作を実現するために回路の一部を変更し、シミュレーション及び実験における回路の動作確認と性能評価について述べた。

第 6 章では、スナバ回路の種類による性能比較をについて述べ、従来のスナバと提案したバレーフィルスナバにおいて、サージ電圧抑制効果や電力変換効率について比較し、バレーフィルスナバ回路の有用性について示した。

第 7 章では、本論文を総括し、今後の課題について述べた。

参考文献

- [1] 環境省 再生可能エネルギーの導入見込み量
<https://www.env.go.jp/earth/report/h24-08/chpt02a.pdf>
- [2] 一般社団法人太陽光発電協会, “太陽光発電の現状と課題～更なる普及に向けて～” 自然エネルギー世界白書 2015 発表記念シンポジウム, 2015.
https://www.renewable-ei.org/images/pdf/20150630/Masaaki_Kameda_JPEA_presentation.pdf
- [3] 新電力ネット 電気料金単価の推移
<https://pps-net.org/unit#>
- [4] 矢野経済研究所 パワー半導体の世界市場に関する調査結果 2014
<https://www.yano.co.jp/press/press.php/001279>
- [5] B. Ferreira: “Power Electronics Drives the Future”, in IEEE Power Electronics Magazine, vol. 2, no. 4, pp.10-11 (2015)
- [6] Y. Hayashi: “High-power-density versatile DC-DC converter for environmentally friendly data centre”, Power Electronics and Motion Control Conference (EPE/PEMC), pp. DS3b.16-1-DS3b.16-7 (2012)
- [7] N. Oswald, P. Anthony, N. McNeill and B. H. Stark: “An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations”, in IEEE Transactions on Power Electronics, vol. 29, no. 5, pp.2393-2407 (2014)
- [8] Ned Mohan, Tore M. Undeland and William P. Robbins: “Power Electronics: Converters, Applications, and Design”, (2002)
- [9] S. J. Finney, B. W. Williams, T. C. Green: “RCD snubber revisited”, IEEE Transactions on Industry Applications”, VOL. 32, NO. 1, (1996)
- [10] P. Meng, X. Wu, J. Yang, H. Chen and Z. Qian: “Analysis and design considerations for EMI and losses of RCD snubber in flyback converter”, Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Palm Springs, CA, pp.642-647 (2010)

- [11] Yu Chen, Xuejun Pei and Yong Kang: “Research of RCD clamp snubber for high power combined three-phase inverter”, International Conference on Electrical Machines and Systems, Wuhan, pp.1797-1801 (2008)
- [12]電気学会・半導体電力変換システム調査専門委員会：パワーエレクトロニクス回路(2000)
- [13] J. C. W. Lam and P. K. Jain: “A Modified Valley Fill Electronic Ballast Having a Current Source Resonant Inverter With Improved Line-Current Total Harmonic Distortion (THD), High Power Factor, and Low Lamp Crest Factor”, IEEE Transactions on Industrial Electronics, vol. 55, no. 3, pp.1147-1159 (2008)
- [14] Yong-Sik Youn, Gyun Chae and Gyu-Hyeong Cho: “A unity power factor electronic ballast for fluorescent lamp having improved valley fill and valley boost converter”, IEEE Power Electronics Specialists Conference. Formerly Power Conditioning Specialists Conference Power Processing and Electronic Specialists Conference, vol.1. pp. 53-59 (1997)
- [15] ダイオードとは－整流ダイオードの特徴比較
<http://micro.rohm.com/jp/techweb/knowledge/si/s-si/02-s-si/4165>
- [16] Ken Berringer, Jeff Marvin, Philippe Perruchoud, “Semiconductor Power Losses in AC Inverters”, IEEE, IAS conference, 1995.
- [17] PSE の手引き
http://koukusu.com/japan/j_stand/iecj609501/j_stand_609501_const_other_pwb.html
- [18] プリント基板の特性
<http://www.interq.or.jp/www-user/tomoni/denki.htm>
- [19] D. M. Divan, and G. Skibinski: “Zero switching loss inverters for high power applications”, in Proc.IEEE IAS, pp.627–634 (1987)

発表論文

国際学会

- ・ Yusuke Shirouchi, Hiroaki Matsumori, Toshihisa Shimizu, “A novel valley-fill snubber for three-phase PWM inverter”, Symposium on Semiconductor Power Conversion 2016(S2PC)
- ・ Y. Shirouchi, H. Matsumori and T. Shimizu: “ZVS/ZCS analysis for a three-phase PWM inverter using valley-fill snubber”, IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC), Kaohsiung, pp.62-67 (2017)

国内学会

- ・ 城内悠輔, 松盛裕明, 清水敏久 : “バレーフィルスナバの解析と動作検証”, 平成 28 年電気学会全国大会, 第 4 分冊 pp.136-137(2016)
- ・ 城内 悠輔, 松盛 裕明, 清水 敏久, 「バレーフィルスナバを用いた三相 PWM インバータの ZVS/ZCS 解析」, 平成 28 年電気学会産業応用部門大会, Y-45(2016)
- ・ 城内 悠輔, 松盛 裕明, 清水 敏久, 「バレーフィルスナバを用いた三相 PWM インバータの EMI ノイズと効率評価」, 平成 29 年電気学会産業応用部門大会, 1-9(2017)
- ・ 城内 悠輔, 松盛 裕明, 清水 敏久, 「バレーフィルスナバを用いた三相 PWM インバータの ZVS/ZCS 評価」, 平成 28 年電子デバイス半導体電力変換合同研究会, EDD-16-050, SPC-16-137 (2017) **【優秀論文賞受賞】**
- ・ 城内 悠輔, 松盛 裕明, 清水 敏久, 「バレーフィルスナバを用いた三相 PWM インバータの評価」, 平成 30 年半導体電力変換モータドライブ合同研究会, SPC-18-22, MD-18-22 (2018)

謝辞

本研究を進めるにあたり多大なるご指導を頂いた首都大学東京清水敏久教授に深く感謝いたします。清水教授には、究者としての在り方、文の書き方および発表の仕方など、ご多忙の中様々なご指導をしていただきました。そして、熱心なご指導を頂いた和田圭二准教授にも深く感謝いたします。和田准教授には普段の生活の在り方やパワーエレクトロニクスに付随する様々な知識、安全に実験を行うための実験設備や研究に関する助言など、幅広くご指導していただきました。さらに、シミュレーションや実験において協力して頂いた松盛さんにも深く感謝いたします。研究室内にある実験装置の使用方法などの細やかな質問にまで快くお答えくださった研究室の先輩方や後輩、また、普段から支えあった同期にも感謝します。

付録 A 三相 PWM ゲート信号プログラム

三相PWMゲート信号の生成プログラムを以下に記す。

```
#include <mwio4.h>

#define PI(n)    (3.14159265358979 * (n))
#define SAMPL 400
    /* Number of sampling points
                                   */

#define BDN      0
    /* Board number (0-4)
                                   */

#define CH       0
    /* Channel number
                                   */

#define FS       20000
    /* Carrier frequency [Hz]
                                   */

#define DEADT 1000
    /* Dead time [ns]
                                   */

volatile float   u, v, w, wt,M;
volatile float   dwt;

interrupt void   carrier_int(void) /* Carrier interrupt routine
                                   */
{

    u = M*mwsin(wt + PI(2.0 / 3.0)); /*
Genelation of 3-phase sine wave
    */
    v = M*mwsin(wt                );
    w = M*mwsin(wt - PI(2.0 / 3.0));
```

```

    wt += dwt;                                     /* Phase angle
                                                    */

    if (wt > PI(1.0)) { wt -= PI(2.0); }

    PEV_inverter_set_uvw( BDN,u, v, w, 0);         /* Setting PWM references
                                                    */

    int3_ack();
}

int MW_main(void)
{
    M = 0.8;
    wt = 0.0;                                       /* Setting
modulation factor
                                                    */
    dwt = PI(2.0 / SAMPL);

    int_disable();
    /* Disabling all interrupt
                                                    */

    PEV_int_init( BDN, 0, 0, 0, 2, 0, 0, 0, 0 );
    int3_init_vector(carrier_int, (CSL_IntcVectId)4, FALSE); /*
(CSL_IntcVectId)4 & Edge Falling */

    PEV_init(BDN);
    PEV_inverter_init(BDN,FS,DEADT);               /* Setting carrier
frequency and dead time
                                                    */

    PEV_inverter_set_uvw( BDN,0,0,0,0);           /* Setting initial PWM references
                                                    */

    PEV_inverter_init_adtrig_timing(0, 1, 500);

```



```

        PEV_inverter_enable_int(BDN);                                /* Enabling INT5 intrrupt at
the top point of the carrier mountain */

        int3_enable_int();                                           /*
Enabling INT5 interrupt
*/

        int_enable();
/* Enabling all interrupts
*/

        wait(200);
/* Waitting more than half of the carrier period
*/

        PEV_inverter_start_pwm(BDN);                                /* Starting 3-phase PWM
signal output
*/

        while (1){}
/* NOTREACHED */

        return 0;
}

```

付録 B スイッチング損失計算プログラム

スイッチング損失計算プログラムを以下に記す。

```
clear all

M=csvread('C1CREESiC300A_1200V[49A]turn on00000.csv',7,0);
time_100M = M(:,1);% 一列目をtimeの配列に入れる
time_20M = M(:,1);
vds_100M = M(:,2);
vds_20M = M(:,2);

M=csvread('C2CREESiC300A_1200V[49A]turn on00000.csv',7,0);
id_100M = M(:,2);
M=csvread('C3CREESiC300A_1200V[49A]turn on00000.csv',7,0);
id_20M = M(:,2);
M=csvread('C4CREESiC300A_1200V[49A]turn on00000.csv',7,0);
vgs_100M = M(:,2);
vgs_20M = M(:,2);
X_20M=20;% デスキュー用の変数単位[ns]
X_100M=20;
%%%-----↓100Mのログスキー-----%%%
f1 = figure;
figure(f1);
P_off_100M=vds_100M.*id_100M;
Pon=cumtrapz(vds_100M,id_100M);
Pmax_100M=max(P_off_100M);% 最大点取得
D=find(P_off_100M==Pmax_100M);
b=1;
P_01_100M=0;
s=1;
```

```

for i = 1:length(P_off_100M)-1
    if P_off_100M(i) < Pmax_100M*0.1 && P_off_100M(i+1) > Pmax_100M*0.1
        if s<100
            continue;
        end
        P_01_100M(b) = i;
        b = b+1;
        s=1;
    else if P_off_100M(i) > Pmax_100M*0.1 && P_off_100M(i+1) < Pmax_100M*0.1
        if s<100
            continue;
        end
        P_01_100M(b) = i;
        b = b+1;
        s=1;
    else
        b = b;
    end
    s=s+1;
end
end %P_on最大値の10%の値の検索
ax = gca;
plot(time_100M,vds_100M,'red',time_100M,id_100M,'blue',time_100M,vgs_100M,'green'); % プロット
関数(x,y1,x,y2)
% グラフの編集
set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Current[A] Voltage[V]', 'FontName','Times New Roman','FontSize',16 ); % y軸のフォント
xlim([time_100M(1) time_100M(end)]); % x軸の範囲
ylim([-100 600]); % y軸の範囲
grid on % グリッド線
box off; % グラフ外枠
pbaspect([6 3 1]); % アスペクト比(x軸,y軸,z軸)
legend('¥s1 vds','¥s1 id_{ 100M}','¥s1 vgs','Location','northwest'); % 凡例と位置
% グラフの編集

```

```

f2 = figure;
figure(f2);
plot(time_100M,P_off_100M);
set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体フォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Loss[W]', 'FontName','Times New Roman','FontSize',16 );% y軸のフォント
xlim([time_100M(1) time_100M(end)]);% x軸の範囲
ylim([-50000 50000]);% y軸の範囲
grid on%グリッド線
box off;%グラフ外枠
pbaspect([6 3 1]);%アスペクト比(x軸,y軸,z軸)
legend('¥sl Pon_{ 100M}','Location','northwest'); % 凡例と位置
y=0.1*Pmax_100M;
mu = mean(y);
hline = reffline([0 mu]);
hline.Color = 'black';
c=1;
time0_100M=0;
for i = 1:length(id_100M)-1
    if id_100M(i) < 0 && id_100M(i+1) > 0
        time0_100M(c) = i;
        c = c+1;
    else if id_100M(i) > 0 && id_100M(i+1) < 0
        time0_100M(c) = i;
        c = c+1;
    else
        c = c;
    end
end
end %idが零になる値の検索
d=1;
start_100M = P_01_100M(1);
stop_100M = P_01_100M(2);
for i=start_100M:1:stop_100M
    P1(d)=P_off_100M(i);

```

```

P1time(d)=time_100M(i);
d=d+1;
end %計算する損失の取り出し
format long;
P_100M = trapz(P1time,P1)
time_ON_100M=time_100M(P_01_100M(2))-time_100M(P_01_100M(1))
%%%-----20Mのログスキー(デスキューなし)-----%%%
P_off_20M=vds_20M.*id_20M;
Pmax_20M=max(P_off_20M);%最大点取得
b=1;
P_01_20M=0;
s=1;
for i = 1:length(P_off_20M)-1
    if P_off_20M(i) < Pmax_20M*0.1 && P_off_20M(i+1) > Pmax_20M*0.1
        if s<100
            continue;
        end
        P_01_20M(b) = i;
        b = b+1;
        s=1;
    else if P_off_20M(i) > Pmax_20M*0.1 && P_off_20M(i+1) < Pmax_20M*0.1
        if s<100
            continue;
        end
        P_01_20M(b) = i;
        b = b+1;
        s=1;
    else
        b = b;
    end
    s=s+1;
end
end %P_on最大値の10%の値の検索
f3 = figure;
figure(f3);
plot(time_20M,vds_20M,'red',time_20M,id_20M,'blue',time_20M,vgs_20M,'green'); %プロット関数

```

```

(x,y1,x,y2)
set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Current[A] Voltage[V]', 'FontName','Times New Roman','FontSize',16 );% y軸のフォント
xlim([time_100M(1) time_100M(end)]);% x軸の範囲
ylim([-100 600]);% y軸の範囲
grid on%グリッド線
box off;% グラフ外枠
pbaspect([6 3 1]);% アスペクト比(x軸,y軸,z軸)
legend(¥sl vds',¥sl id_{30M}',¥sl vgs','Location','northwest'); % 凡例と位置
f4 = figure;
figure(f4);
plot(time_20M,P_off_20M);
set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Loss[W]', 'FontName','Times New Roman','FontSize',16 );% y軸のフォント
xlim([time_100M(1) time_100M(end)]);% x軸の範囲
ylim([-50000 50000]);% y軸の範囲
grid on%グリッド線
box off;% グラフ外枠
pbaspect([6 3 1]);% アスペクト比(x軸,y軸,z軸)
legend(¥sl Pon_{30M}', 'Location','northwest'); % 凡例と位置
c=1;
time0_20M=0;
for i = 1:length(id_20M)-1
    if id_20M(i) < 0 && id_20M(i+1) > 0
        time0_20M(c) = i;
        c = c+1;
    else if id_20M(i) > 0 && id_20M(i+1) < 0
        time0_20M(1,c) = i;
        c = c+1;
    else
        c = c;
    end
end

```

```

end

end %idが零になる値の検索

d=1;
start_20M = P_01_20M(1);
stop_20M = P_01_20M(2);
for i=start_20M:1:stop_20M
    P(d)=P_off_20M(i);
    Ptime(d)=time_20M(i);
    d=d+1;
end %計算する損失の取り出し

P_20M = trapz(Ptime,P)
time_ON_20M=time_20M(P_01_20M(2))-time_100M(P_01_20M(1))
%%%-----20Mのロゴスキー(デスキューあり)-----%%%
X20M=X_20M*1000/400;
a=1;
for i=X20M:1:length(time_20M)
    time_20Md(a)=time_20M(i);
    id_20Md(a)=id_20M(i);
    vdsd(a)=vds_20M(a);
    a=a+1;
end

for i=1:1:length(time_20M)-X20M+1
    time_20Mdnew(i)=time_20M(i);
end
P_off_20Md=vdsd.*id_20Md;
Pmax_20Md=max(P_off_20Md);%最大点取得

b=1;
P_01_20Md=0;
s=1;
for i = 1:length(P_off_20Md)-1
    if P_off_20Md(i) < Pmax_20Md*0.1 && P_off_20Md(i+1) > Pmax_20Md*0.1
        if s<100
            continue;
        end
    end
end

```

```

P_01_20Md(b) = i;
b = b+1;
s=1;
else if P_off_20Md(i) > Pmax_20Md*0.1 && P_off_20Md(i+1) < Pmax_20Md*0.1
    if s<100
        continue;
    end
    P_01_20Md(1,b) = i;
    b = b+1;
    s=1;
else
    b = b;
end
s=s+1;
end
end %P_on最大値の10%の値の検索

f5 = figure;
figure(f5);
plot(time_20M,vds_20M,'red',time_20Md,id_20Md,'blue',time_20M,vgs_20M,'green'); % プロット関数
(x,y1,x,y2)
hold on;
plot(time_20Mdnew,id_20Md,'black');
set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Current[A] Voltage[V]', 'FontName','Times New Roman','FontSize',16 );% y軸のフォント
xlim([time_20Md(1) time_20Md(end)]);% x軸の範囲
ylim([-100 600]);% y軸の範囲
grid on%グリッド線
box off;%グラフ外枠
pbaspect([6 3 1]);%アスペクト比(x軸,y軸,z軸)
legend('vds','id_{30M}','vgs','id_{30Md}','Location','northwest'); % 凡例と位置
f6 = figure;
figure(f6);
plot(time_20Md,P_off_20Md);

```



```

set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Loss[W]', 'FontName','Times New Roman','FontSize',16 ); % y軸のフォント
xlim([time_20Md(1) time_20Md(end)]); % x軸の範囲
ylim([-50000 50000]); % y軸の範囲
grid on % グリッド線
box off; % グラフ外枠
legend('¥sl Pon_{30Md}','Location','northwest'); % 凡例と位置
pbaspect([6 3 1]); % アスペクト比(x軸,y軸,z軸)

d=1;
start_20Md = P_01_20Md(1);
stop_20Md = P_01_20Md(2);
for i=start_20Md:1:stop_20Md
    P(d)=P_off_20Md(i);
    Ptime(d)=time_20Md(i);
    d=d+1;
end % 計算する損失の取り出し

P_20Md = trapz(Ptime,P)
time_ON_20Md=time_20Md(P_01_20Md(2))-time_20Md(P_01_20Md(1))
%%%-----100Mのロゴスキー(デスキューあり)-----%%%
X100M=X_100M*1000/400;
a=1;
for i=X100M:1:length(time_100M)
    time_100Md(a)=time_100M(i);
    id_100Md(a)=id_100M(i);
    vdsd(a)=vds_100M(a);
    a=a+1;
end
for i=1:1:length(time_100M)-X100M+1
    time_100Mdnew(i)=time_100M(i);
end
P_off_100Md=vdsd.*id_100Md;
Pmax_100Md=max(P_off_100Md); % 最大点取得

```

```

b=1;
P_01_100Md=0;
s=1;
for i = 1:length(P_off_100Md)-1
    if P_off_100Md(i) < Pmax_100Md*0.1 && P_off_100Md(i+1) > Pmax_100Md*0.1
        if s<100
            continue;
        end
        P_01_100Md(b) = i;
        b = b+1;
        s=1;
    else if P_off_100Md(i) > Pmax_100Md*0.1 && P_off_100Md(i+1) < Pmax_100Md*0.1
        if s<100
            continue;
        end
        P_01_100Md(1,b) = i;
        b = b+1;
        s=1;
    else
        b = b;
    end
    s=s+1;
end
end %P_on最大値の10%の値の検索

f7 = figure;
figure(f7);
plot(time_100M,vds_100M,'red',time_100M,id_100M,'blue',time_100M,vgs_100M,'green'); % プロット
関数(x,y1,x,y2)
hold on;
plot(time_100Mdnew,id_100Md,'black'); % プロット関数(x,y1,x,y2)

set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); % グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); % x軸のフォント
ylabel( 'Current[A] Voltage[V]', 'FontName','Times New Roman','FontSize',16 ); % y軸のフォント
xlim([time_20Md(1) time_20Md(end)]); % x軸の範囲

```

```

ylim([-100 600]);% y軸の範囲
grid on%グリッド線
box off;% グラフ外枠
pbaspect([6 3 1]);% アスペクト比(x軸,y軸,z軸)
legend('¥sl vds','¥sl id_{100M}','¥sl vgs','¥sl id_{100Md}','Location','northwest'); % 凡例と位置
    f8 = figure;
figure(f8);
plot(time_20Md,P_off_20Md);
    set( gca, 'FontName','Times New Roman','FontSize',16,'LooseInset', get(gca, 'TightInset') ); %   グラフ
全体のフォント
xlabel( 'time [s]', 'FontName','Times New Roman','FontSize',16,'color','black'); %   x軸のフォント
ylabel( 'Loss[W]', 'FontName','Times New Roman','FontSize',16 );%   y軸のフォント
xlim([time_20Md(1) time_20Md(end)]);% x軸の範囲
ylim([-50000 50000]);% y軸の範囲
grid on%グリッド線
box off;% グラフ外枠
legend('¥sl Pon_{100Md}','Location','northwest'); % 凡例と位置
pbaspect([6 3 1]);% アスペクト比(x軸,y軸,z軸)
    d=1;
start_100Md = P_01_100Md(1);
stop_100Md = P_01_100Md(2);
for i=start_100Md:1:stop_100Md
    P(d)=P_off_100Md(i);
    Ptime(d)=time_100Md(i);
    d=d+1;
end          %計算する損失の取り出し

P_100Md = trapz(Ptime,P)
time_ON_100Md=time_100Md(P_01_100Md(2))-time_100M(P_01_100Md(1))

```